

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-309643

(43)Date of publication of application : 02.11.2001

---

(51)Int.Cl.

H02M 3/07  
G04C 10/00  
G04G 1/00

---

(21)Application number : 2001-078890

(71)Applicant : SII RD CENTER:KK

(22)Date of filing : 22.07.1997

(72)Inventor : UTSUNOMIYA FUMIYASU  
YOSHIDA YOSHIFUMI  
MORIUCHI YOSHIKAZU

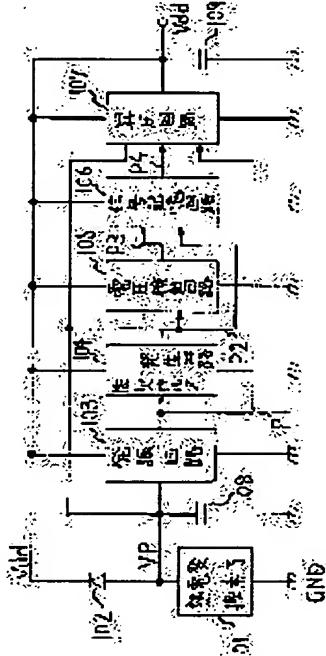
---

## (54) ELECTRONIC MACHINE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a power-generation boosting system capable of preventing a deterioration of boosting efficiency when a start-up voltage of a power source is decreased.

**SOLUTION:** The system comprises a voltage-detecting circuit 105 that detects a start-up voltage VP of a thermoelectricity-converting element and outputs a detecting signal P3 as well as intermittently operates with an intermittent-pulse signal P2 of an intermittent-pulse generating circuit 104, and also comprises a signal-memory circuit 106 that stores the detecting signal P3 of the voltage-detecting circuit 105 while the voltage-detecting circuit ceasing and outputs the detecting signal to a boosting circuit 107 as a memory signal P4. The boosting circuit 107 has a structure capable of varying the number of multiples for boosting corresponding to the memory signal P4. The objected boosting voltage can be obtained using the most adequate number of multiples for boosting, hence boosting efficiency can be prevented from deteriorating even if the start-up voltage of the thermoelectricity-converting element varies.



**LEGAL STATUS**

[Date of request for examination] 09.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-309643

(P2001-309643A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl.\*

H 02 M 3/07

G 04 C 10/00

G 04 G 1/00

識別記号

310

F I

H 02 M 3/07

G 04 C 10/00

G 04 G 1/00

テ-コ-ト\*(参考)

A

310Q

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21)出願番号 特願2001-78890(P2001-78890)  
(62)分割の表示 特願平9-196109の分割  
(22)出願日 平成9年7月22日(1997.7.22)

(71)出願人 395003198  
株式会社エスアイアイ・アールディセンタ  
千葉県千葉市美浜区中瀬1丁目8番地  
(72)発明者 宇都宮 文靖  
千葉県千葉市美浜区中瀬1丁目8番地 セ  
イコーインスツルメンツ株式会社内  
吉田 宜史  
千葉県千葉市美浜区中瀬1丁目8番地 セ  
イコーインスツルメンツ株式会社内  
(74)代理人 100096286  
弁理士 林 敬之助

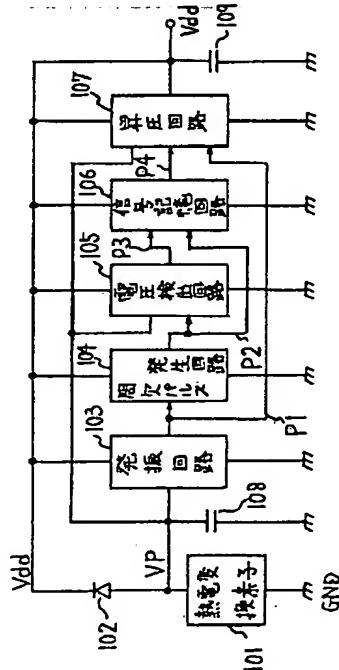
最終頁に続く

(54)【発明の名称】 電子機器

(57)【要約】

【課題】 電源の起電圧低下時の、昇圧効率の低下を防止する発電昇圧システムの提供。

【解決手段】 熱電変換素子の起電圧  $V_p$  を検出し、検出信号  $P_3$  を出力すると共に間欠パルス発生回路 104 の間欠パルス信号  $P_2$  で間欠動作する電圧検出回路 105 と、電圧検出回路 105 の検出信号  $P_3$  を電圧検出回路が停止している間記憶し、記憶信号  $P_4$  として昇圧回路 107 に出力する信号記憶回路 106 を設け、昇圧回路 107 は、該記憶信号  $P_4$  に応じて昇圧倍数を可変する構成とする。最適な昇圧倍数で目的の昇圧電圧に昇圧できるので、熱電変換素子の起電圧が変動した場合の昇圧効率の低下を防止できる。



1

## 【特許請求の範囲】

【請求項1】 外部エネルギーで起電力を発生する電源と、

前記起電力を利用して、該起電力の電圧よりも高い電圧の昇圧電力を発生する昇圧回路と、クロック信号を発生する発振回路を有し、

前記電源は、外部エネルギーの変動により前記前記起電力の電圧が変動する特徴を有し、

前記昇圧回路は、内部にスイッチ素子とコンデンサーを有し、前記スイッチ素子のスイッチング動作と、前記コンデンサーのカッピング効果を利用して前記昇圧電力を発生し、さらに、前記クロック信号により、前記スイッチ素子をオン、オフする構成であり、

前記発振回路は、発生するクロック信号の周波数を、前期起電圧の電圧が上昇する際は上昇させ、前記起電力の電圧が低下する際は低下させる構成であることを特徴とする電子機器。

【請求項2】 外部エネルギーで起電力を発生する電源と、

前記起電力を利用して、該起電力の電圧よりも高い電圧の昇圧電力を発生する昇圧回路と、クロック信号を発生する発振回路と、前記起電力の電圧を検出し、検出結果に基づく検出信号を出力する電圧検出回路を有し、

前記電源は、外部エネルギーの変動により前記前記起電力の電圧が変動する特徴を有し、

前記昇圧回路は、内部にスイッチ素子とコンデンサーを有し、前記スイッチ素子のスイッチング動作と、前記コンデンサーのカッピング効果を利用して前記昇圧電力を発生し、さらに、前記クロック信号により、前記スイッチ素子をオン、オフする構成であると併に、昇圧倍数

を可変できる構成であり、前記検出信号により、前期起電圧の電圧が上昇する際は昇圧倍数を低下させ、前記起電力の電圧が低下する際は昇圧倍数を増加させるように制御される構成であることを特徴とする電子機器。

【請求項3】 前記電子機器は、さらに前記電圧検出回路の検出信号を記憶する信号記憶回路を有し、またさらに、前記電圧検出回路は、間欠動作する構成を有し、

前記信号記憶回路は、前記電圧検出回路が動作している期間は、前記電圧検出回路からの検出信号と同じ信号を

前記昇圧回路に出力し、前記電圧検出回路が動作していない期間は、前記電圧検出回路が動作している期間の最後段階に、前記電圧検出回路から出力される検出信号を記憶し、該記憶した検出信号を、その後の前記電圧検出回路の動作する期間まで前記昇圧回路に出力し続ける構成であることを特徴とする請求項2記載の電子機器

【請求項4】 前記電源は、温度差という外部エネルギーで起電力を発生する熱電変換素子であることを特徴とする請求項1から3のいずれかに記載の電子機器。

【請求項5】 前記電子機器は、腕時計であり、該腕時計は内部に前記昇圧回路と前記熱電変換素子と時計用I

2

Cを有する構成であり、前記昇圧電力をを利用して前記時計ICを駆動することを特徴とする請求項4記載の電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタと容量素子で構成した昇圧回路を内蔵する電子機器に関する。

## 【0002】

【従来の技術】 図18に、従来の昇圧システムを示す。図18において、電源1801は、起電圧Vpを発生する。発振回路1802は、電源1801の起電圧Vpで駆動し、クロック信号P1を出力する。昇圧回路1803は、クロック信号P1を用いて電源1801の電圧を昇圧し、昇圧電圧Vddを昇圧電圧出力端子1804に出力する。

【0003】 図19に、図18で示す昇圧回路1803の回路図を示す。図19において、1901は、図18で示す電源1801の起電圧Vpを入力する起電圧入力

20 端子、1902は、図18で示す発振回路1802から出力したクロック信号P1の一つである第1のクロック信号P11を入力する第1のクロック信号入力端子、1903は、前記クロック信号P1の一つである第2のクロック信号P12を入力する第2のクロック信号入力端子、1904は、昇圧電圧Vddを出力する昇圧電圧出力端子、1905は昇圧ユニット、1914は、ダイオードである。

【0004】 また、昇圧ユニット1905を直列接続する個数が多いほど昇圧倍数は多くなる。昇圧ユニット1

30 905において、1910は、入力端子、1911は、昇圧電圧出力端子、1912は、第1のクロック信号P11を入力する第1のクロック信号入力端子、1913は、第2のクロック信号P12を入力する第2のクロック信号入力端子であり、1906、1907は、ダイオード、1908、1909は、コンデンサーである。

【0005】 なお、上記第1のクロック信号P1を反転した信号が、第2のクロック信号P2である。また、回路動作については、既に良く知られているので省略する。

## 【0006】

【発明が解決しようとする課題】 上記従来の電圧昇圧システムは、先ず、昇圧回路においては、ダイオードが複数必要であり、該ダイオードによる損失があるという欠点がある。該ダイオードには、順方向電圧降下を減らすためにショットキーダイオードが良く用いられる。しかし、該ショットキーダイオードを用いても、順方向電圧損失による電圧損失、電力損失は避けられず、該ショットキーダイオード1個につき0.2V程度の損失があるという問題がある。

50 【0007】 次に、上記従来の昇圧システムにおいて

は、電源の電圧を検出する手段がないので、電源の電圧に応じて、昇圧回路の昇圧倍数を適切な値に設定できない。つまり、該昇圧システムの昇圧電圧のある電圧で2次電池等に充電する場合の、電源の電圧が高く、昇圧倍数が少なくとも充電できる場合でも、わざわざ損失の大きい高い昇圧倍数の昇圧回路を介して充電するため、充電効率が低下したり、昇圧電圧で、IC等を駆動する場合、電源の電圧がさらに高くなり、昇圧電圧がIC等の駆動電圧の上限をオーバーしたりといった問題がある。

## 【0008】

【課題を解決するための手段】本発明は、第1の手段として、線形スイッチング素子であるMOSトランジスタを用いて、コンデンサーを充放電させ、昇圧を行う昇圧回路を設ける。MOSトランジスタは、シリコン基板上に集積できるので、従来の昇圧回路よりも小型化できる。また、ダイオードの様な非線形素子を使用しないので、昇圧損失の少ない昇圧回路が得られ、効率の良い昇圧システムが得られる。

【0009】第2の手段として、電圧検出回路を設け、電源の電圧を検出し、電源の電圧に応じた検出信号出力し、昇圧回路は、該検出信号を受け、昇圧倍数を変化する構成とした。該構成とする事で、電源の電圧に応じた昇圧倍数で昇圧し、昇圧電圧を2次電池等に充電できるので、充電損失が少なく、さらに、昇圧電圧でIC等を駆動する場合、電源の電圧がある程度高くなっても、昇圧電圧がIC等の駆動電圧の上限をオーバーする事を防止できる昇圧システムが得られる。

## 【0010】

【発明の実施の形態】以下では、P型基板NウェルプロセスでNチャネル型MOSトランジスタとPチャネル型MOSトランジスタを構成した場合について述べる。本発明の昇圧システムの昇圧回路は、Nチャネル型MOSトランジスタ、あるいは、Pチャネル型MOSトランジスタで、コンデンサーを充放電することで昇圧する構成とする。

【0011】上記本発明の昇圧システムの昇圧回路は、上記構成を基本とする方式であれば、どの様な方式でも良いが、第1の方式として、コンデンサーの第1の電極をGND端子に接続し、該コンデンサーの第2の電極に入力電圧を供給し、その後、該第1の電極に入力電圧を供給することで、該第2の電極に発生した入力電圧の2倍の昇圧電圧を出力するという行為を繰り返すことにより2倍昇圧する昇圧回路を複数直列接続し、(2n)倍昇圧を行う方式、あるいは、第2の方式として、複数のコンデンサーを並列に充電し、その後、直列に接続することによって(1+n)倍昇圧を行う方式、さらには、第3の方式として、前記従来の昇圧回路のダイオードをMOSトランジスタに変えた(1+n)倍昇圧を行う方式の3方式を推奨する。

## 【0012】また、本発明の昇圧システムの昇圧回路

は、該昇圧回路を構成するMOSトランジスタは、GND電位に放電する役目のMOSトランジスタは、Nチャネル型MOSトランジスタで良いが、電圧を供給する役目のMOSトランジスタは、その供給する電圧に応じてNチャネル型MOSトランジスタとPチャネル型MOSトランジスタを使い分けることでより高昇圧効率化が図れ、さらに、より低電圧からの昇圧が可能になる。例えば、該MOSトランジスタが供給する電圧が、Pチャネル型MOSトランジスタのしきい値電圧の絶対値よりも、ある程度高い電圧以上であれば、Pチャネル型MOSトランジスタを用い、その電圧未満であれば、Nチャネル型MOSトランジスタを用いると良い。

【0013】また、本発明の昇圧システムの発振回路は、該発振回路からのクロック信号をゲートに受けるMOSトランジスタの能力を最大限に発揮させるために、一番高い電圧、つまり、昇圧電圧の波高値のクロック信号とするために、電源は昇圧電圧とすることを推奨する。さらに、電源の電圧が変動する場合、電源の電圧に応じた最適な昇圧電力を得るために、クロック信号を電源の電圧に応じて変動するようにする。つまり、電源の電圧に応じて、前記発振回路は出力するクロック信号の周波数を変動するようにすることを推奨する。

【0014】一方、本発明の昇圧システムは、電源の電圧を検出する電圧検出回路を設け、該電圧検出回路の出力する電源の電圧に応じた検出信号に応じて昇圧回路の昇圧倍数を変更する構成とすることを推奨する。上記本発明の電圧検出回路は、低消費電流化のため間欠動作させることを推奨し、該電圧検出回路を間欠動作させために、新たに間欠パルス発生回路と信号記憶回路を設け、該電圧検出回路を、該間欠パルス発生回路で発生させた間欠パルスで間欠動作させ、該電圧検出回路の動作時に出力する検出信号を、該信号記憶回路を介して昇圧回路に入力し、該電圧検出回路が動作しているときの検出信号を、次回の動作まで昇圧回路に出力し続ける構成とすることを推奨する。

【0015】さらに、本発明の昇圧システムの各回路は、さらなる低電圧動作化のために、該昇圧システムの各回路を構成するMOSトランジスタは、Pチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタならN型のゲートで構成、つまり、しきい値電圧の絶対値を下げても、オフリード電流を抑えられる構成とすることで、各MOSトランジスタのしきい値電圧の絶対値を低くすることを推奨する。

【0016】また、本昇圧システムの電源は、起電圧を発生する物であればどんな物でよいが、起電圧の変動する熱電変換素子、太陽電池、電圧を充電したコンデンサーの昇圧に有効であり、特に、上記した様に本昇圧システムは、低電圧動作化、高昇圧効率化できる特徴を有しているので、容積の割には起電圧が得られない熱電変換素子の昇圧に用いることで、熱電変換素子の容積を縮小

でき、熱電変換素子を電源とした腕時計等の小型の携帯機器が実現できる。

#### 【0017】

【実施例】本発明における実施例を図を元に説明する。なお、断りがない限り、電源は、低電位側をGND端子、高電位側をVdd端子とし、回路は、P基板Nウェルプロセスで作製したCMOSトランジスタで、P基板をGND端子とした構成の場合について述べる。よって、全Nチャネル型MOSトランジスタの基板は共通でありGND端子に接続する。また、"ハイ"は昇圧電圧Vddの電圧レベルの信号、"ロウ"はGNDレベルの信号を意味する。

【0018】図1は、本発明における実施例である熱電変換素子の昇圧システムのブロック図である。熱電変換素子101と発振回路103と間欠パルス発生回路104と電圧検出回路105と信号記憶回路106と昇圧回路107とダイオード102と平滑コンデンサー108、109などで構成している。熱電変換素子101は、ゼーベック効果の原理によって、発電する素子であり、図示してはいないが、Bi?Te系の材料に不純物を導入し、P形半導体とN形半導体を形成し、各々を接続した素子を複数個直列接続した構成であり、低電位側の電極がGND端子であり、発振回路103と間欠パルス発生回路104と電圧検出回路105と信号記憶回路106と昇圧回路107のGND端子に接続し、もう一方の電極から起電圧Vpを取り出す構成であり、内部抵抗約2kΩ、起電圧は、温度差1°Cで、約0.4Vである。

【0019】発振回路103は、電源端子はVddに接続し、前記Vpに応じて、発振周波数が変動する構成である。間欠パルス発生回路104は、電源端子はVddに接続し、該発振回路101が出力したクロック信号P1を元に間欠パルス信号P2を発生させる回路である。

【0020】電圧検出回路105は、電源端子はVddに接続し、前記Vpを検出する回路であり、該Vpに応じた検出信号P3を出し、該間欠パルス発生回路104からの間欠パルス信号P2で、間欠動作する構成である。信号記憶回路106は、電源端子はVddに接続し、該電圧検出回路105の動作時の検出信号P3を、該電圧検出回路105の次回の動作時まで記憶し、その記憶した検出信号P3を記憶信号P4として出力する回路である。

【0021】昇圧回路107は、電源端子はVddに接続し、前記Vpを該Vpよりも高い電圧の昇圧電圧Vddに昇圧する回路であり、クロック信号P1で各MOSトランジスターをオン、オフし、コンデンサーを充放電することで、昇圧電圧Vddを発生させるとともに、記憶信号P4に応じて昇圧倍数を切り替える構成である。

【0022】ダイオード102は、Vddに昇圧電圧が溜まっている初期段階に、熱電変換素子101の起電圧Vpを昇圧の為の電力として使用する為と、前記Vp

が十分高く、昇圧行為が必要ない場合に、そのまま、Vddに供給するために設けてあり、熱電変換素子101とVdd間に、熱電変換素子101からVddの方向が順方向となるように接続する。

【0023】さらに、熱電変換素子101の出力と、Vddには、片側をGND端子に接続した平滑コンデンサー108、109を設けてある。上記構成をとることにより、昇圧回路107の昇圧倍数を、熱電変換素子101の起電圧に応じて切り替えることができるので、効率良く前記Vpを昇圧電圧Vddに昇圧できるとともに、前記Vpが高くなりすぎた場合におこる昇圧電圧Vddの過電圧を防止できる。

【0024】さらに、電圧検出回路105を間欠動作する事により、電圧検出回路105の消費電力を少なく抑えることができる。つまり、昇圧に必要な電力を抑えることができるので、昇圧効率が向上する。なお、ダイオード102は、順方向の電圧ドロップの小さいショットキーダイオード、ダイオード接続したスレッショルド電圧の低い(0.1V)MOSトランジスタ、あるいは、ダイオード接続したスレッショルド電圧が低く(0.1V)ゲートとソースあるいはドレインがP型あるいはN型であるMOSトランジスタを推奨する。

【0025】また、本実施例では、熱電変換素子を例に挙げて説明したが、他の外部エネルギーにより発電する素子の起電圧を昇圧するため、あるいは、コンデンサーや、2次電池などの蓄電素子の電圧を昇圧するためにも応用できることは言うまでもない。図2は、図1に示す昇圧回路107の回路図である。第1昇圧回路201第2昇圧回路202と第3昇圧回路と第4昇圧回路と2入力NAND回路209、211、213とインバータ回路210、211、214とPチャネル型MOSトランジスター223、224と平滑コンデンサー205、206、207とダイオード208とで構成している。

【0026】先ず、各構成要素の接続状態を説明する。熱電変換素子の起電力であるVpを入力する起電力入力端子215は、第1昇圧回路201の入力端子と、ダイオード208の、プラス側の電極に接続する。第1昇圧回路の出力端子は、一方の電極をGND端子に接続した平滑コンデンサー205のもう片方の電極と、第2昇圧回路202の入力端子とに接続する。

【0027】第2昇圧回路202の出力端子は、一方の電極をGND端子に接続した平滑コンデンサー206のもう片方の電極と、ダイオード208のマイナス側の電極と、Pチャネル型MOSトランジスター223のドレイン端子と、第3昇圧回路203の入力端子とに接続する。第3昇圧回路203の出力端子は、一方の電極をGND端子に接続した平滑コンデンサー207のもう片方の電極と、Pチャネル型MOSトランジスター224のドレイン端子と、第4昇圧回路204の入力端子とに接続する。

【0028】第4昇圧回路204の出力端子は、Pチャネル型MOSトランジスタ223と224の各々のソースとNウェルと、昇圧電圧Vddを出力する昇圧電圧出力端子221に接続する。発振回路からのクロック信号P1を入力するクロック信号入力端子216は、2入力NAND回路209, 211, 213の各々の片方の入力端子に接続する。

【0029】電圧検出回路からの検出信号の1つである第1の検出信号を記憶した第1の記憶信号P41を入力する第1の検出信号入力端子217は、2入力NAND回路209のクロック信号入力端子を接続していない方の入力端子に接続する。電圧検出回路からの検出信号の1つである第2の検出信号を記憶した第2の記憶信号P42を入力する第2の検出信号入力端子218は、2入力NAND回路211のクロック信号入力端子を接続していない方の入力端子と、Pチャネル型MOSトランジスタ223のゲート端子に接続する。

【0030】電圧検出回路からの検出信号の1つである第3の検出信号を記憶した第3の記憶信号P43を入力する第3の検出信号入力端子219は、2入力NAND回路213のクロック信号入力端子を接続していない方の入力端子と、Pチャネル型MOSトランジスタ204のゲート端子に接続する。2入力NAND回路209の出力端子は、インバータ回路210の入力端子と、第1昇圧回路201と第2昇圧回路202の各々の第2のクロック信号入力端子に接続する。

【0031】インバータ回路210の出力端子は、第1昇圧回路201と第2昇圧回路202の各々の第1のクロック信号入力端子に接続する。インバータ回路212の出力端子は、第3昇圧回路の第1のクロック信号入力端子に接続し、インバータ回路214の出力端子は、第4昇圧回路の第1のクロック信号入力端子に接続する。

【0032】なお、2入力NAND回路209, 211, 213と、インバータ回路210, 212, 214の各々の電源端子は、昇圧電圧Vddが入力されるVdd入力端子107に接続し、各々のGND端子は、熱電変換素子の低電圧側電極と接続したGND端子220に接続する。次に動作を説明する。

【0033】第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て“ロウ”的場合、全ての昇圧回路に、クロック信号が入力されなくなるので、全ての昇圧回路が動作せず、昇圧行為は行わない。なお、Pチャネル型MOSトランジスタ223, 224がオンしているが、該両トランジスタを介した昇圧電圧出力端子221からの電流の漏れは、該両トランジスタのドレインにぶら下がる容量成分の充電電流のみである。

【0034】第1の記憶信号P41が“ハイ”で、第2の記憶信号P42と第3の記憶信号P43が“ロウ”的場合、第1昇圧回路201と第2昇圧回路202のクロ

ック信号が入力されるので、第1昇圧回路201と第2昇圧回路202のみ動作し、Pチャネル型MOSトランジスタ223がオンするので、熱電変換素子の起電圧Vpは、先ず第1昇圧回路201で約2倍に昇圧され、さらに第2昇圧回路202で約2倍に昇圧され、Pチャネル型MOSトランジスタ223を介してVddに供給される。つまり、昇圧倍数は約4倍であるので、Vddは約4倍のVpとなる。なお、Pチャネル型MOSトランジスタ224もオンしているが、該トランジスタを介した昇圧電圧出力端子221からの電流の漏れは、該トランジスタのドレインにぶら下がる容量成分の充電電流のみである。

【0035】第1の記憶信号P41と第2の記憶信号P42が“ハイ”で、第3の記憶信号P43が“ロウ”的場合、第1昇圧回路201と第2昇圧回路202のクロック信号が入力されるので、第1昇圧回路201と第2昇圧回路202と第3昇圧回路203が動作し、Pチャネル型MOSトランジスタ223がオフし、Pチャネル型MOSトランジスタ224がオンするので、前記Vpは、先ず第1昇圧回路201で約2倍に昇圧され、第2昇圧回路202で約2倍に昇圧され、さらに、第3昇圧回路203で約2倍に昇圧され、Pチャネル型MOSトランジスタ224を介して出力端子221に供給される。つまり、昇圧倍数は約8倍であるので、Vddは約8倍のVpとなる。

【0036】第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て“ハイ”的場合、全昇圧回路にクロック信号が入力されるので、Pチャネル型MOSトランジスタ223, 224がオフし、全昇圧回路が動作するので、前記Vpは、先ず第1昇圧回路201で約2倍に昇圧され、第2昇圧回路202で約2倍に昇圧され、さらに、第3昇圧回路203で約2倍に昇圧され、さらに第4昇圧回路204で約2倍に昇圧され、昇圧電圧出力端子221から出力される。つまり、昇圧倍数は約16倍であるので、Vddは約16倍のVpとなる。

【0037】なお、ダイオード208は、後で詳しく説明するが、上記第1昇圧回路201と上記第2昇圧回路201の特徴が、上記Vddの電圧が低い場合に昇圧能力が小さいという特徴があり、上記Vddの電圧が低い昇圧初期段階の昇圧速度を、第1昇圧回路201と第2昇圧回路202を介さずに、第3昇圧回路203と第4昇圧回路204で昇圧する事で向上させる為に設けた。

【0038】つまり、上記構成とする事により、上記したように、電圧検出回路の検出信号を記憶した信号記憶回路の出力信号P41, P42, P43に応じて、昇圧倍数を可変できる昇圧回路が実現できる。図3は、本発明に於ける、図2で示した第1昇圧回路201の回路図である。先ず、接続について説明する。熱電変換素子の起電圧Vpが入力される入力端子302は、Nチャネル型MOSトランジスタ306のドレインと、Nチャネル

型MOSトランジスタ307のソースと接続し、第1のクロック信号入力端子304は、Nチャネル型MOSトランジスタ307とNチャネル型MOSトランジスタ308のゲートと接続し、第2のクロック信号入力端子305は、Nチャネル型MOSトランジスタ306とNチャネル型MOSトランジスタ309のゲートと接続し、Nチャネル型MOSトランジスタ306のソースは、Nチャネル型MOSトランジスタ308のドレンと、コンデンサー310の第2の電極と接続し、コンデンサー310の第1の電極は、Nチャネル型MOSトランジスタ307のドレンと、Nチャネル型MOSトランジスタ309のソースと接続し、昇圧電圧を出力する出力端子303は、Nチャネル型MOSトランジスタ309のドレンに接続し、GND入力端子311は、Nチャネル型MOSトランジスタ308のソースと接続する構成である。

【0039】次に、動作について説明する。先ず、第1のクロック信号入力端子304から入力される第1のクロック信号が、"ハイ"の時、第2のクロック信号入力端子305から入力される第2のクロック信号は、"ロウ"となり、Nチャネル型MOSトランジスタ307と308がオンし、Nチャネル型MOSトランジスタ306と309がオフするので、コンデンサー310の第1の電極は、Nチャネル型MOSトランジスタ307を介して、入力端子302に供給された電圧が供給されるので、ある電圧Vaまで上昇し、該コンデンサーの第2の電極は、Nチャネル型MOSトランジスタ308を介してGNDの電圧が供給されるので"ロウ"になる。

【0040】次に、第1のクロック信号入力端子304から入力される第1のクロック信号が、"ロウ"の時、第2のクロック信号入力端子305から入力される第2のクロック信号は、"ハイ"となり、Nチャネル型MOSトランジスタ307と308がオフし、Nチャネル型MOSトランジスタ306と309がオンするので、コンデンサー310の第2の電極は、Nチャネル型MOSトランジスタ306を介して、入力端子302に供給された電圧が供給されるので、ある電圧Vbまで上昇する。したがって、該コンデンサーの第1の電極は、前記Vaと前記Vbをプラスした電圧まで上昇し、該電圧は、Nチャネル型MOSトランジスタ309を介して、出力端子303に供給されるので、出力端子303の電圧は、ある電圧Vcまで上昇する。

【0041】ここで、Va, Vb, Vcの値は、Nチャネル型MOSトランジスタがオンしたときに、供給できる最大電圧値と関係し、Nチャネル型MOSトランジスタが、供給する電圧が、該最大電圧値以下であれば、どんな小さな電圧でも、供給できるが、供給する電圧が、該最大電圧値より高ければ、どんなに大きな電圧でも、該最大電圧値までしか供給できない。

【0042】つまり、Vaは、入力端子302から供給

される電圧が、Nチャネル型MOSトランジスタ307の該最大電圧値以下のときは、入力端子302から供給される電圧と同じ電圧となるが、入力端子302から供給される電圧が、Nチャネル型MOSトランジスタ307の該最大電圧値より高いときは、Nチャネル型MOSトランジスタ307の該最大電圧値となり、Vbは、入力端子302から供給される電圧が、Nチャネル型MOSトランジスタ306の該最大電圧値以下のときは、入力端子302から供給される電圧と同じ電圧となるが、入力端子302から供給される電圧が、Nチャネル型MOSトランジスタ306の該最大電圧値より高いときは、Nチャネル型MOSトランジスタ306の該最大電圧値となり、Vcは、コンデンサー310の第1の電極に発生するVaとVbをプラスした値が、Nチャネル型MOSトランジスタ309の該最大電圧値以下のときは、VaとVbをプラスした値と同じ電圧となるが、Nチャネル型MOSトランジスタ309の該最大電圧値より高いときは、Nチャネル型MOSトランジスタ309の該最大電圧値となる。

【0043】なお、上記した各Nチャネル型MOSトランジスタの該最大電圧値とは、各Nチャネル型MOSトランジスタがオンしているときに、各Nチャネル型MOSトランジスタのゲートに入力される各クロック信号の"ハイ"の電圧、つまり、Vddから、各Nチャネル型MOSトランジスタのしきい値電圧をマイナスした値である。

【0044】つまり、上記第1昇圧回路は、昇圧する電圧が低く、各Nチャネル型MOSトランジスタが、各Nチャネル型MOSトランジスタの該最大電圧値以下の電圧しか供給しなくてよい場合は、効率よく昇圧でき、しかも、どんなに低い電圧からでも昇圧できる特徴を有するが、昇圧する電圧が高い場合、あるいは、前記Vddが低い場合で、該昇圧回路の各Nチャネル型MOSトランジスタのどれか一つでも、そのNチャネル型MOSトランジスタの該最大電圧値より高い電圧を供給しなくてはならなくなつた場合、昇圧効率が悪くなり、さらに、昇圧する電圧がより高くなつた場合、あるいは、前記Vddがさらに低くなつた場合、逆に降圧してしまう場合があるという特徴を有する。

【0045】よって、上記第1昇圧回路の各Nチャネル型MOSトランジスタは、N型のゲートで構成することで、しきい値電圧を下げても、リーク電流を抑えられる構成とし、しきい値電圧を極力低く(0.2V程度)することで、Vddが低い場合でも、より高い電圧から昇圧できる構成としている。なお、上記第1昇圧回路は、該第1昇圧回路のオンしているMOSトランジスタがオフすると同時に、オフしていたMOSトランジスタがオンする構成であるが、オンしているMOSトランジスタをオフしてから、オフしていたMOSトランジスタをオンする構成とすることで、貫通電流を無くすことができる。

11

き、該第1昇圧回路の昇圧効率を良くすることができ  
る。

【0046】図4は、本発明に於ける、図2で示した第2昇圧回路202の回路図である。構成は、図3で示した第1昇圧回路とほとんど同じ構成であり、図3の第1昇圧回路と異なる部分は、図3の第1昇圧回路のNチャネル型MOSトランジスタ309が、図4の第2昇圧回路では、ドレインをコンデンサー410の第1電極に接続し、ソースとNウェルを出力端子403に接続し、ゲートを第1のクロック信号入力端子404に接続したPチャネル型MOSトランジスタ409に置き換わったところだけである。

【0047】動作も、各MOSがオン、オフするタイミングは、図3で示した第1昇圧回路と同じであり、図3の第1昇圧回路と異なるのは、Pチャネル型MOSトランジスタ409がオンしたときに、コンデンサー410の第1の電極に発生した昇圧電圧が、Pチャネル型MOSトランジスタ409が供給できる最低電圧より低い場合、該昇圧電圧がPチャネル型MOSトランジスタ409のP型のドレインからN型のNウェルの順方向がオンする0.6V未満の場合は、出力端子403に全く供給できなく、該昇圧電圧が0.6V以上の場合は、該昇圧電圧から0.6Vをマイナスした値の電圧までしか出力端子403に供給できないが、該昇圧電圧が、該最低電圧以上の場合は、該昇圧電圧がどんなに高い電圧でも、出力端子403に供給できることである。

【0048】なお、上記したPチャネル型MOSトランジスタ409が供給できる最低電圧とは、Pチャネル型MOSトランジスタが、該トランジスタのドレインからソース、あるいは、ソースからドレインへチャネルを介して供給できる最低の電圧であり、該トランジスタのゲートの電圧から、該トランジスタのしきい値電圧をマイナスした値であるので、図4でのPチャネル型MOSトランジスタ409の該最低電圧は、Pチャネル型MOSトランジスタ409のゲートの”ロウ”の電圧からしきい値をマイナスした値、つまり、GND電圧からマイナスの値のしきい値をマイナスするので、しきい値電圧の絶対値である。

【0049】つまり、上記第2昇圧回路は、昇圧しようとする電圧が、Nチャネル型MOSトランジスタ407、406の該最大電圧以下で、コンデンサー410の第1の電極に発生した昇圧電圧が、Pチャネル型MOSトランジスタ409の該最低電圧以上の場合、効率よく昇圧できる特徴を有すが、昇圧する電圧が高くなつた場合、あるいは、前記Vddが低い場合で、昇圧しようとする電圧が、Nチャネル型MOSトランジスタ407、Nチャネル型MOSトランジスタ406のどちらか一方の該最大電圧を越える場合、昇圧効率が悪化したり、降圧してしまつたり、該昇圧電圧が、Pチャネル型MOSトランジスタ409の該最低電圧を下回る場合、出力端

12

子403に電圧が出力されない特徴も有する。

【0050】よって、上記第2昇圧回路の各MOSトランジスタは、Nチャネル型MOSトランジスタの場合には、N型のゲートで構成し、Pチャネル型MOSトランジスタの場合は、P型のゲートで構成することで、しきい値電圧の絶対値を下げても、リーク電流を抑えられる構成とし、しきい値電圧の絶対値を極力低く(0.2V程度)することで、Vddが低い場合でも、より高い電圧から昇圧でき、さらに、より低い電圧からの昇圧も可能にした。

【0051】なお、上記第2昇圧回路は、該第2昇圧回路のオンしているMOSトランジスタがオフすると同時に、オフしていたMOSトランジスタがオンする構成であるが、オンしているMOSトランジスタをオフしてから、オフしていたMOSトランジスタをオンする構成とすることで、貫通電流を無くすことができ、該第2昇圧回路の昇圧効率を良くすることができる。

【0052】図5は、図2の第3昇圧回路203および第4昇圧回路204の回路図である。構成は、図4で示す第2昇圧回路のNチャネル型MOSトランジスタ306、307のそれぞれを、図5で示すように、Pチャネル型MOSトランジスタソースとNウェルを入力端子502と接続し、ドレインをコンデンサー510の第2の電極に接続し、ゲートを第1のクロック信号入力端子504に接続したNチャネル型MOSトランジスタ506と、ドレインを入力端子502と接続し、ソースとNウェルをコンデンサー510の第1の電極を接続し、ゲートを第2のクロック信号入力端子505と接続したPチャネル型MOSトランジスタ507に置き換えた構成である。

【0053】動作は、各MOSのオン、オフのタイミングは、図4の第2昇圧回路と同じであるが、Pチャネル型MOSトランジスタ507がオンしたとき、入力端子502から、コンデンサー510の第1の電極に電圧を供給する際、入力端子502の電圧が、Pチャネル型MOSトランジスタ507の供給できる前記最低電圧未満で、該トランジスタのP型のドレインからNウェルの順方向がオンする0.6V未満の場合は、まったく供給できなく、0.6V以上の場合は、入力端子502の電圧から0.6Vをマイナスした値しか供給できないが、該最低電圧以上の場合は、入力端子502の電圧をそのまま供給できることと、Pチャネル型MOSトランジスタ506がオンしたとき、入力端子502から、コンデンサー510の第2の電極に電圧を供給する際、入力端子502の電圧がPチャネル型MOSトランジスタ506の供給できる前記最低電圧未満の場合は、全く供給できないが、入力端子502の電圧が、該トランジスタの前記最低電圧以上の場合は、入力端子502の電圧がそのまま供給できることが異なる。

【0054】つまり、上記第3および第4昇圧回路は、

各Pチャネル型MOSトランジスタが供給できる前記最低電圧未満の電圧からの昇圧はできないが、該最低電圧以上の電圧であれば、高い電圧からでも昇圧が可能な特徴を有する。よって、上記第3昇圧回路の各Pチャネル型MOSトランジスタの場合は、P型のゲートで構成することで、しきい値電圧の絶対値を下げても、リーク電流を抑えられる構成とし、しきい値電圧の絶対値を極力低く(0.2V程度)することで、より低い電圧(0.2V)からの昇圧を可能にした。

【0055】なお、上記第3、第4昇圧回路は、該昇圧回路のオンしているMOSトランジスタがオフすると同時に、オフしていたMOSトランジスタがオンする構成であるが、オンしているMOSトランジスタをオフしてから、オフしていたMOSトランジスタをオンする構成とすることで、貫通電流を無くすことができ、該昇圧回路の昇圧効率を良くすることができる。

【0056】本実施例の図2で示す昇圧回路107は、上記したような特徴を有する第1から第4昇圧回路を、第1昇圧回路が昇圧した電圧を、第2昇圧回路が昇圧し、第2昇圧回路が昇圧した電圧を、第3昇圧回路が昇圧し、第3昇圧回路が昇圧した電圧を第4昇圧回路が昇圧する構成とし、第3昇圧回路が昇圧できる電圧までの昇圧を第2昇圧回路が昇圧し、第2昇圧回路が昇圧できる電圧まで、第1昇圧回路が昇圧することにより、Vddが0.3V以上あり、起電力入力端子215から入力された前記Vpが0.05V以上あれば、昇圧できる特徴を有す。

【0057】本実施例では、図1に示すように、上記構成の昇圧回路107で、熱電変換素子101の起電圧Vpの昇圧を行うことで、熱電変換素子101の起電圧Vpを効率よく昇圧でき、さらに、低い該起電力Vp(0.05V)からでも昇圧可能な熱電変換素子昇圧システムを実現した。なお、図2で示す本実施例の昇圧回路は、前記した性能の熱電変換素子の起電圧を、時計用ICなどの、1.5V程度で動作するICを駆動できる電圧まで昇圧する設計であるが、異なる性能の熱電変換素子や、他の発電素子の起電圧を昇圧する場合や、コンデンサーヤ2次電池などの蓄電素子の電圧を昇圧する場合などの、昇圧する電圧が異なる場合、あるいは、駆動するICの必要な電圧が異なる場合などの、必要な昇圧電圧値が異なる場合は、第1昇圧回路や、第3昇圧回路をさらに複数個直列接続するとか、第1昇圧回路を複数個直列接続した後に第3昇圧回路を複数個直列接続した構成とするとか、第3昇圧回路のみを複数直列接続しただけの構成とするといったような設計変更をすればよいことは言うまでもない。

【0058】図6は、図1で示す昇圧回路107を、図2で示す昇圧回路の構成とは別の構成とした場合の昇圧回路608の回路図である。第1昇圧回路601から第15昇圧回路606までの計15個の昇圧回路と、2入

力NAND回路617, 619, 621と、インバータ回路616, 618, 620と、Pチャネル型MOSトランジスタ622とで構成している。

【0059】先ず、各構成要素の接続状態を説明する。熱電変換素子の起電圧であるVpを入力する起電力入力端子609は、第1昇圧回路601の第1の入力端子と、第1昇圧回路601から第15昇圧回路606までの各昇圧回路の第2の入力端子とに接続する。第15昇圧回路606以外の各昇圧回路の出力端子は、次に位置する昇圧回路の第1の入力端子に接続し、第15昇圧回路の出力端子は、Pチャネル型MOSトランジスタ622のドレインに接続され、Pチャネル型MOSトランジスタ622のソースとNウェルは、昇圧電圧Vddを出力する昇圧電圧出力端子610に接続する。

【0060】発振回路からのクロック信号P1を入力するクロック信号入力端子611は、2入力NAND回路617, 619, 621の各々の片方の入力端子に接続する。電圧検出回路からの検出信号の一つである第1の検出信号を記憶した第1の記憶信号P41を入力する第2の検出信号入力端子612は、2入力NAND621のクロック信号入力端子611を接続していない方の入力端子に接続する。

【0061】電圧検出回路からの検出信号の一つである第2の検出信号を記憶した第2の記憶信号P42を入力する第3の検出信号入力端子613は、2入力NAND619のクロック信号入力端子611を接続していない方の入力端子に接続する。電圧検出回路からの検出信号の一つである第3の検出信号を記憶した第3の記憶信号P43を入力する第3の検出信号入力端子614は、2入力NAND617のクロック信号入力端子611を接続していない方の入力端子に接続する。

【0062】2入力NAND回路617の出力端子は、インバータ回路616の入力端子と、第1昇圧回路601から第8昇圧回路602の各昇圧回路の第2のクロック信号入力端子に接続する。インバータ回路616の出力端子は、第1昇圧回路601から第8昇圧回路602の各昇圧回路の第1のクロック信号入力端子に接続する。

【0063】2入力NAND回路619の出力端子は、インバータ回路618の入力端子と、第9昇圧回路603から第12昇圧回路604の各昇圧回路の第2のクロック信号入力端子に接続する。インバータ回路618の出力端子は、第9昇圧回路603から第12昇圧回路604の各昇圧回路の第1のクロック信号入力端子に接続する。

【0064】2入力NAND回路621の出力端子は、インバータ回路620の入力端子と、第13昇圧回路605から第15昇圧回路606の各昇圧回路の第2のクロック信号入力端子と、Pチャネル型MOSトランジスタ622のゲートとに接続する。インバータ回路620

の出力端子は、第13昇圧回路605から第15昇圧回路606の各昇圧回路の第1のクロック信号入力端子とに接続する。

【0065】なお、2入力NAND回路617, 619, 621と、インバータ回路616, 618, 620の各々の電源端子は、昇圧電圧Vddが入力されるVdd入力端子608に接続し、各々のGND端子は、熱電変換素子の低電圧側の電極と接続したGND電位入力端子615に接続する。次に動作を説明する。

【0066】第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て"ロウ"の場合、全ての昇圧回路にクロック信号が入力されなくなるので、全ての昇圧回路は動作せず、昇圧行為は行わない。第1の記憶信号P41が"ハイ"で、第2の記憶信号P42と第3の記憶信号P43が"ロウ"の場合、第13昇圧回路605から第15昇圧回路606にかけての昇圧回路のみにクロック信号が入力されるので、第13昇圧回路605から第15昇圧回路606にかけての昇圧回路が動作する。つまり、昇圧回路が3個動作し、1個の昇圧回路でVpの電圧分昇圧するので、熱電変換素子の起電圧Vpに3Vpがプラスされた4Vpの昇圧電圧が、第15昇圧回路606の出力端子から出力される。

【0067】第1の記憶信号P41と第2の記憶信号P42が"ハイ"で、第3の記憶信号P43が"ロウ"の場合、第9昇圧回路603から第15昇圧回路606にかけての昇圧回路のみにクロック信号が入力されるので、第9昇圧回路603から第15昇圧回路606にかけての昇圧回路が動作する。つまり、昇圧回路が7個動作するので、熱電変換素子の起電圧Vpに7Vpがプラスされた4Vpの昇圧電圧が第15昇圧回路606の出力端子から出力される。

【0068】第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て"ハイ"の場合、全ての昇圧回路にクロック信号が入力されるので、全昇圧回路が動作する。つまり、昇圧回路が15個動作するので、熱電変換素子の起電圧Vpに15Vpがプラスされた16Vpが第15昇圧回路606の出力端子から出力される。

【0069】なお、第15昇圧回路606の出力端子から昇圧電圧が出力されるが、昇圧電圧は常時出力されるのではなく、クロック信号P1が"ハイ"の時だけ出力され、クロック信号が"ロウ"の時は、該出力端子からは、熱電変換素子の起電圧Vpがそのまま出力される。つまり、該出力端子をそのまま昇圧電圧出力端子610に接続すると、クロック信号P1が"ロウ"の時に、せっかく出力した昇圧電圧が、熱電変換素子の起電圧Vpまで落ちてしまう。そこで、Pチャネル型MOSトランジスタ622を設け、該トランジスタをクロック信号P1が"ハイ"の時はオン、クロック信号P1が"ロウ"の時はオフさせることで、上記問題をクリアした。

【0070】上記してきたように、昇圧回路を図6で示すような構成とすることにより、上記したように、電圧検出回路の検出信号を記憶した信号記憶回路の出力する記憶信号に応じて、昇圧倍数を可変できる昇圧回路が、図2で示す昇圧回路とは異なった構成で実現できる。図7は、本発明における図6で示した第1から第3昇圧回路の回路図である。

【0071】先ず、接続に状態について説明する。第1の入力端子703は、Nチャネル型MOSトランジスタ708のドレインに接続し、第2の入力端子702は、Nチャネル型MOSトランジスタ709のソースに接続し、第1のクロック信号入力端子705は、Nチャネル型MOSトランジスタ708のゲートに接続し、第2のクロック信号入力端子706は、Nチャネル型MOSトランジスタ709, 710のゲートに接続し、Nチャネル型MOSトランジスタ708のソースは、Nチャネル型MOSトランジスタ710のドレインとコンデンサー711の第2の電極とに接続し、コンデンサー711の第1の電極は、Nチャネル型MOSトランジスタ709のドレインと昇圧電圧を出力する出力端子704とに接続し、GND入力端子707は、Nチャネル型MOSトランジスタ710のソースに接続する構成である。

【0072】次に、動作について説明する。先ず、第1のクロック信号入力端子705から入力される第1のクロック信号が"ロウ"の時、第2のクロック信号入力端子706から入力される第2のクロック信号は"ハイ"となり、Nチャネル型MOSトランジスタ709, 710がオンし、Nチャネル型MOSトランジスタ708がオフするので、コンデンサー711の第1の電極は、Nチャネル型MOSトランジスタ709を介して、第2の入力端子702に供給された熱電変換素子の起電圧Vpが供給されるので、ある電圧Vaまで上昇し、該コンデンサーの第2の電極は、Nチャネル型MOSトランジスタ708を介してGNDの電圧が供給されるので"ロウ"になる。

【0073】次に、第1のクロック信号入力端子705から入力される第1のクロック信号が、"ハイ"の時、第2のクロック信号入力端子706から入力される第2のクロック信号は、"ロウ"となり、Nチャネル型MOSトランジスタ709と710がオフし、Nチャネル型MOSトランジスタ708がオンするので、コンデンサー711の第2の電極は、Nチャネル型MOSトランジスタ708を介して、第1の入力端子703に供給された電圧が供給されるので、ある電圧Vbまで上昇する。したがって、該コンデンサーの第1の電極は、前記Vaと前記Vbをプラスした電圧まで上昇し、該電圧を、出力端子704から出力する。

【0074】ここで、Va, Vbの値は、Nチャネル型MOSトランジスタがオンしたときに、供給できる最大電圧値と関係し、Nチャネル型MOSトランジスタが、

供給する電圧が、該最大電圧値以下であれば、どんな小さな電圧でも、供給できるが、供給する電圧が、該最大電圧値より高ければ、どんなに大きな電圧でも、該最大電圧値までしか供給できない。

【0075】つまり、V<sub>a</sub>は、第2の入力端子702から供給される電圧が、Nチャネル型MOSトランジスタ709の該最大電圧値以下のときは、第2の入力端子702から供給される電圧と同じ電圧となるが、第2の入力端子702から供給される電圧が、Nチャネル型MOSトランジスタ709の該最大電圧値より高いときは、Nチャネル型MOSトランジスタ709の該最大電圧値となり、V<sub>b</sub>は、第1の入力端子703から供給される電圧が、Nチャネル型MOSトランジスタ708の該最大電圧値以下のときは、第1の入力端子703から供給される電圧と同じ電圧となるが、第1の入力端子703から供給される電圧が、Nチャネル型MOSトランジスタ708の該最大電圧値より高いときは、Nチャネル型MOSトランジスタ708の該最大電圧値となる。

【0076】なお、上記した各Nチャネル型MOSトランジスタの該最大電圧値とは、各Nチャネル型MOSトランジスタがオンしているときに、各Nチャネル型MOSトランジスタのゲートに入力される各クロック信号の”ハイ”の電圧、つまり、V<sub>dd</sub>から、各Nチャネル型MOSトランジスタのしきい値電圧をマイナスした値である。

【0077】つまり、上記した図7で示す昇圧回路は、昇圧する電圧が低く、各Nチャネル型MOSトランジスタが、各Nチャネル型MOSトランジスタの該最大電圧値以下の電圧しか供給しなくてよい場合は、効率よく昇圧でき、しかも、どんなに低い電圧からでも昇圧できる特徴を有すが、昇圧する電圧が高い場合、あるいは、前記V<sub>dd</sub>が低い場合で、該昇圧回路の各Nチャネル型MOSトランジスタのどれか一つでも、そのNチャネル型MOSトランジスタの該最大電圧値より高い電圧を供給しなくてはならなくなつた場合、昇圧効率が悪くなり、さらに、昇圧する電圧がより高くなつた場合、あるいは、前記V<sub>dd</sub>がさらに低くなつた場合、逆に降圧してしまう場合があるという特徴を有する。

【0078】よって、上記した図7で示す昇圧回路の各Nチャネル型MOSトランジスタは、N型のゲートで構成することで、しきい値電圧を下げても、リーコン電流を抑えられる構成とし、しきい値電圧を極力低く(0.2V程度)することで、V<sub>dd</sub>が低い場合でも、より高い電圧から昇圧できる構成としている。なお、上記した図7で示す昇圧回路は、該昇圧回路のオンしているMOSトランジスタがオフすると同時に、オフしていたMOSトランジスタがオンする構成であるが、オンしているMOSトランジスタをオフしてから、オフしていたMOSトランジスタをオンする構成とすることで、貫通電流を無くすことができ、該昇圧回路の昇圧効率を良くすること

ができる。

【0079】図8は、本発明における図6で示した第4から第15昇圧回路の回路図である。構成は、図7の昇圧回路とほとんど同じであり、異なる部分は、図7の昇圧回路のNチャネル型MOSトランジスタ708が、ソースをとNウェルを第1の入力端子803に接続し、ドレインをコンデンサー811の第2の電極に接続し、ゲートを第2のクロック信号入力端子806に接続したPチャネル型MOSトランジスタ808に置き換わったところだけである。

【0080】動作も図7で示す昇圧回路とほぼ同じであり、異なる点は、Pチャネル型MOSトランジスタ808がオンし、第1の入力端子803に入力した電圧がPチャネル型MOSトランジスタ808を介して、コンデンサー811の第2の電極に電圧V<sub>b</sub>が供給される際の第1の入力端子803の電圧と該V<sub>b</sub>との関係であり、第1入力端子803の電圧が、チャネル型MOSトランジスタ506の供給できる最低電圧未満の場合は、全く供給できないが、第1の入力端子803の電圧が、該トランジスタの前記最低電圧以上の場合は、第1の入力端子803の電圧がそのまま供給できるという点が異なる。

【0081】なお、上記したPチャネル型MOSトランジスタ808が供給できる最低電圧とは、Pチャネル型MOSトランジスタが、該トランジスタのドレインからソース、あるいは、ソースからドレインへチャネルを介して供給できる最低の電圧であり、該トランジスタのゲートの電圧から、該トランジスタのしきい値電圧をマイナスした値であるので、Pチャネル型MOSトランジスタ808の該最低電圧は、該トランジスタ808のゲートの”ロウ”の電圧からしきい値をマイナスした値、つまり、GND電圧からマイナスの値のしきい値をマイナスするので、しきい値電圧の絶対値である。

【0082】つまり、上記した図8で示す昇圧回路は、第2の入力端子802に入力する電圧が、Nチャネル型MOSトランジスタ809の前記最大電圧以下で、第1の入力端子803に入力する電圧が、Pチャネル型MOSトランジスタ808の該最低電圧以上の場合、効率よく昇圧できる特徴を有すが、第2の入力端子802の電圧が、Nチャネル型MOSトランジスタ809の該最大電圧以上の場合、昇圧効率が悪化したり、逆に降圧してしまったり、第1の入力端子803の電圧が、Pチャネル型MOSトランジスタ808の前記最低電圧未満の場合、全く昇圧できなかったりする特徴を有する。

【0083】よって、本発明では、上記した図8で示す昇圧回路の各MOSトランジスタは、Nチャネル型MOSトランジスタの場合は、N型のゲートで構成し、Pチャネル型MOSトランジスタの場合は、P型のゲートで構成することで、しきい値電圧の絶対値を下げても、リーコン電流を抑えられる構成とし、しきい値電圧の絶対値

を極力低く(0.2V程度)することで、 $V_{dd}$ が低い場合でも、より高い電圧から昇圧でき、さらに、より低い電圧からの昇圧も可能にした。

【0084】なお、上記した図8に示す昇圧回路は、該昇圧回路のオンしているMOSトランジスタがオフすると同時に、オフしていたMOSトランジスタがオンする構成であるが、オンしているMOSトランジスタをオフしてから、オフしていたMOSトランジスタをオンする構成とすることで、貫通電流を無くすことができ、該昇圧回路の昇圧効率を良くすることができます。

【0085】本実施例の図6で示す昇圧回路607は、上記したような特徴を有する第1から第3昇圧回路を前段に、そして、上記したような特徴を有する第4から第15昇圧回路を後段に配置し、第1から第3昇圧回路で、第4から第15昇圧回路が苦手とする低電圧からの昇圧を行い、第4から第15昇圧回路で、第1から第3昇圧回路が苦手とする高電圧からの昇圧を行うようにすることで、 $V_{dd}$ が0.3V以上あり、熱電変換素子の起電圧 $V_p$ が0.05V以上あれば、昇圧可能と言う特徴を有することができた。

【0086】本実施例では、図1に示すように、上記した図6で示す昇圧回路607で、熱電変換素子101の起電圧 $V_p$ の昇圧を行うことで、熱電変換素子101の起電圧 $V_p$ を効率よく昇圧でき、さらに、低い該起電力 $V_p$ (0.05V)からでも昇圧可能な熱電変換素子昇圧システムを実現した。なお、図6で示す本実施例の昇圧回路は、前記した性能の熱電変換素子の起電圧を、時計用ICなどの、1.5V程度で動作するICを駆動できる電圧まで昇圧する設計であるが、異なった性能の熱電変換素子や、他の発電素子の起電圧を昇圧する場合や、コンデンサーヤや2次電池などの蓄電素子の電圧を昇圧する場合などの、昇圧する電圧が異なる場合、あるいは、駆動するICの必要な電圧が異なる場合などの、必要な昇圧電圧値が異なる場合は、前段に配置した図7で示す昇圧回路の個数、あるいは、後段に配置した図8で示す昇圧回路の個数を、増やす、あるいは、減らすといった設計変更を行えばよいことは言うまでもない。

【0087】図9は、図1で示す昇圧回路107を、図2、あるいは、図3で示す昇圧回路の構成とは別の構成とした場合の昇圧回路907の回路図である。先ず、接続状態を説明する。熱電変換素子の起電圧である $V_p$ を入力する起電力入力端子909は、第1昇圧回路901の入力端子と、Nチャネル型MOSトランジスタ915のドレインとNチャネル型MOSトランジスタ917のドレインとに接続する。

【0088】第8昇圧回路906以外の各昇圧回路の出力端子は、次に位置する昇圧回路の入力端子に接続し、第8昇圧回路906の出力端子は、昇圧電圧出力端子910に接続する。発振回路からのクロック信号P1を入力するクロック信号入力端子911は、2入力NAND

回路927, 929, 931の各々の片方の入力端子と、インバータ回路936の入力端子と、Nチャネル型MOSトランジスタ916, 917のゲートとに接続する。

【0089】電圧検出回路からの検出信号の一つである第1の検出信号を記憶した第1の記憶信号P41を入力する第1の検出信号入力端子912は、2入力NAND927のクロック信号入力端子911を接続していない方の入力端子と、Nチャネル型MOSトランジスタ919, 920のゲートとに接続する。電圧検出回路からの検出信号の一つである第2の検出信号を記憶した第2の記憶信号P42を入力する第2の検出信号入力端子913は、2入力NAND929のクロック信号入力端子911を接続していない方の入力端子と、Nチャネル型MOSトランジスタ921, 922のゲートと、Pチャネル型MOSトランジスタ925のゲートとに接続する。

【0090】電圧検出回路からの検出信号の一つである第3の検出信号を記憶した第3の記憶信号P43を入力する第3の検出信号入力端子914は、2入力NAND931のクロック信号入力端子911を接続していない方の入力端子と、Nチャネル型MOSトランジスタ923, 924のゲートと、Pチャネル型MOSトランジスタ926のゲートとに接続する。

【0091】2入力NAND回路927の出力端子は、インバータ回路928の入力端子と、第1昇圧回路901と第2昇圧回路902の第2のクロック信号入力端子とに接続する。インバータ回路928の出力端子は、第1昇圧回路901と第2昇圧回路902の第1のクロック信号入力端子に接続する。

【0092】2入力NAND回路629の出力端子は、インバータ回路930の入力端子と、第3昇圧回路903と第4昇圧回路904の第2のクロック信号入力端子とに接続する。インバータ回路930の出力端子は、第3昇圧回路903と第4昇圧回路904の第1のクロック信号入力端子に接続する。

【0093】2入力NAND回路931の出力端子は、インバータ回路932の入力端子と、第5昇圧回路905から第8昇圧回路906の各昇圧回路の第2のクロック信号入力端子に接続する。インバータ回路932の出力端子は、第5昇圧回路905から第8昇圧回路906の第1のクロック信号入力端子に接続する。

【0094】インバータ回路936の出力端子は、Nチャネル型MOSトランジスタ915, 918のゲートに接続する。Nチャネル型MOSトランジスタ915のソースは、Nチャネル型MOSトランジスタ916, 919, 921, 923のドレインに接続し、Nチャネル型MOSトランジスタ917のソースは、Nチャネル型MOSトランジスタ918, 920, 922, 924のドレインに接続し、Nチャネル型MOSトランジスタ916, 918のソースは、GND端子に接続する。

【0095】Nチャネル型MOSトランジスタ919のソースは、第1昇圧回路901と第2昇圧回路902の第3のクロック信号入力端子に接続し、Nチャネル型MOSトランジスタ920のソースは、第1昇圧回路の第4のクロック信号入力端子に接続する。Nチャネル型MOSトランジスタ921のソースは、第3昇圧回路903と第4昇圧回路904の第3のクロック信号入力端子に接続し、Nチャネル型MOSトランジスタ922のソースは、第3昇圧回路903と第2昇圧回路902の第4のクロック信号入力端子に接続する。

【0096】Nチャネル型MOSトランジスタ923のソースは、第5昇圧回路905から第8昇圧回路にかけての各昇圧回路の第3のクロック信号入力端子に接続し、Nチャネル型MOSトランジスタ924のソースは、第4の昇圧回路904から第8昇圧回路906にかけての各昇圧回路の第4のクロック信号入力端子の接続される。

【0097】Pチャネル型MOSトランジスタ925、926のソースとNウェルは、昇圧電圧出力端子910に接続する。なお、2入力NAND回路927、929、931と、インバータ回路928、930、932、936の各々の電源端子は、昇圧電圧Vddが入力されるVdd入力端子908に接続し、各々のGND端子は、熱電変換素子の低電圧側の電極と接続したGND電位入力端子935に接続する。

【0098】また、GND端子に接続するということは、熱電変換素子の低電位側の電極と接続するGND電位入力端子935と接続することを意味する。次に動作を説明する。第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て“ロウ”的場合、全ての昇圧回路の各クロック信号入力端子にクロック信号が入力されなくなるので、全ての昇圧回路は動作せず、昇圧行為は行わない。なお、Pチャネル型MOSトランジスタ925、926がオンしているが、該両トランジスタを介した昇圧電圧出力端子910からの電流の漏れは、該両トランジスタのドレインにぶら下がる容量成分の充電電流のみである。

【0099】第1の記憶信号P41が“ハイ”で、第2の記憶信号P42と第3の記憶信号P43が“ロウ”的場合、第1昇圧回路901の各クロック信号入力端子にクロック信号が入力され、第2昇圧回路902の第4のクロック信号入力端子以外のクロック信号入力端子にクロック信号が入力されるので、第1昇圧回路901で2Vp分昇圧され、第2昇圧回路902でVp分昇圧され、Pチャネル型MOSトランジスタ925がオンするので、Pチャネル型MOSトランジスタ925を介して昇圧電圧出力端子910に、Vpに3Vpプラスされた4Vpの電圧が供給される。つまり、昇圧電圧は4Vpとなる。なお、Pチャネル型MOSトランジスタ926もオンしているが、該トランジスタを介した昇圧電圧出

力端子910からの電流の漏れは、該両トランジスタのドレインにぶら下がる容量成分の充電電流のみである。

【0100】第1の記憶信号P41と第2の記憶信号P42が“ハイ”で、第3の記憶信号P43が“ロウ”的の場合、第1昇圧回路901と第2昇圧回路902と第3昇圧回路903の各昇圧回路の各クロック信号入力端子にクロック信号が入力され、第4昇圧回路904の第4のクロック信号入力端子以外のクロック信号入力端子に、クロック信号が入力されるので、第1昇圧回路901から第3昇圧回路903の各昇圧回路で2Vp分づつ昇圧され、第4昇圧回路904でVp分昇圧され、Pチャネル型MOSトランジスタ925がオフし、Pチャネル型MOSトランジスタ262がオンするので、Pチャネル型MOSトランジスタ926を介して昇圧電圧出力端子910に、Vpに7Vpプラスされた8Vpの電圧が供給される。つまり、昇圧電圧Vddは8Vpとなる。

【0101】第1の記憶信号P41と第2の記憶信号P42と第3の記憶信号P43が全て“ハイ”的場合、全ての昇圧回路の全てのクロック入力端子にクロック信号が入力されるので、第1から第7の各昇圧回路で2Vpづつ昇圧され、第8昇圧回路で、Vp分昇圧されるので、昇圧電圧出力端子910に、Vpに15Vpプラスした16Vpの電圧が供給される。つまり、昇圧電圧Vddは、16Vpとなる。

【0102】なお、各昇圧回路の昇圧分は2VpあるいはVpと述べたが、この値となるのは、Vpが、Nチャネル型MOSトランジスタ915、917、919、920、921、922、923、924の前記した最大電圧値以下の場合、つまり、各昇圧回路の第3あるいは第4のクロック信号入力端子に入力されるクロック信号の波高値がVpの場合である。Vpが該最大電圧値より高い場合は、各昇圧回路の第3あるいは第4のクロック信号入力端子に入力されるクロック信号の波高値が該最大電圧値となり、各昇圧回路の昇圧分は、該最大電圧値の2倍あるいは該最大電圧値となる。つまり、昇圧電圧が低下してしまう。

【0103】そこで、本実施例の図9で示す昇圧回路では、該昇圧回路のNチャネル型MOSトランジスタ915、917、919、920、921、922、923、924は、きい値電圧を下げても、リーク電流を抑えられるよう、ゲートをN型で構成し、しきい値電圧を極力低く(0.2V程度)することで、前記Vpがある程度高くても、各昇圧回路の昇圧分を2VpあるいはVpとできるようにした。

【0104】上記してきたように、昇圧回路を図9で示すような構成とすることにより、上記したように、電圧検出回路の検出信号を記憶した信号記憶回路の出力する記憶信号に応じて、昇圧倍数を可変できる昇圧回路が、図2あるいは図6で示す昇圧回路とは異なった構成で実

現できる。図10は、本発明における図9で示した第1と第2昇圧回路の回路図である。

【0105】先ず、接続に状態について説明する。入力端子1002は、Nチャネル型MOSトランジスタ1008のドレインに接続し、Nチャネル型MOSトランジスタのゲートは、第1のクロック信号入力端子1004に、該トランジスタのソースは、コンデンサー1010の第1の電極と、Nチャネル型MOSトランジスタ1009のドレインとに接続し、コンデンサー1011の第2の電極は、第3のクロック信号入力端子1006に接続し、Nチャネル型MOSトランジスタ1009のゲートは、第2のクロック信号入力端子1005に、該トランジスタのソースは、コンデンサー1011の第1の電極と出力端子1003とに接続し、コンデンサー1011の第2の電極は、第4のクロック信号入力端子1007に接続する。

【0106】次に、動作を説明する。なお、第3あるいは第4のクロック信号の高い方の電圧をV<sub>h</sub>、低い方の電圧を”ロウ”とする。先ず、第4のクロック信号入力端子1007にクロック信号を入力する場合について説明する。第1のクロック信号入力端子1004のクロック信号を”ハイ”、第2のクロック信号入力端子1005のクロック信号を”ロウ”、第3のクロック信号入力端子1006のクロック信号を”ロウ”、第4のクロック信号入力端子1007のクロック信号をV<sub>h</sub>とし、Nチャネル型MOSトランジスタ1008をオン、Nチャネル型MOSトランジスタ1009をオフし、コンデンサー1010の第1の電極を前の状態からV<sub>h</sub>分低下させ、コンデンサー1011の第1の電極を前の状態からV<sub>h</sub>分昇圧させることで、入力端子1002から、Nチャネル型MOSトランジスタ1008を介して、コンデンサー1010の第1の電極に電荷を供給すると同時に、コンデンサー1011の第1の電極から出力端子1003に昇圧電圧を出力する第1の状態と、第1のクロック信号入力端子1004のクロック信号を”ロウ”、第2のクロック信号入力端子1005のクロック信号を”ハイ”、第3のクロック信号入力端子1006のクロック信号をV<sub>h</sub>、第4のクロック信号入力端子1007のクロック信号を”ロウ”とし、Nチャネル型MOSトランジスタ1008をオフ、Nチャネル型MOSトランジスタ1009をオンし、コンデンサー1010の第1の電極をまえの状態からV<sub>h</sub>分昇圧させ、コンデンサー1011の第1の電極を前の状態からV<sub>h</sub>分低下させることで、コンデンサー1010の第1の電極から、Nチャネル型MOSトランジスタ1009を介して、コンデンサー1011の第1の電極に電荷を供給する第2の状態を交互に繰り返し、入力端子1002から、出力端子1003に向かって電荷を順次供給することで出力端子1003から昇圧電圧を出力する。

【0107】この出力端子1003から出力される昇圧

電圧は、各Nチャネル型MOSトランジスタがオンした際、該各Nチャネル型MOSトランジスタのドレインとソース間の電圧差が無くなるまで、ドレインからソースへ電荷が供給できた場合は、コンデンサー1010の第1の電極の昇圧電圧は、入力端子1002電圧にV<sub>h</sub>をプラスした値となり、コンデンサー1011の第1の電極の昇圧電圧は、コンデンサー1010の昇圧電圧にV<sub>h</sub>をプラスした値となるので、入力端子1002の電圧に2V<sub>h</sub>をプラスした値となるが、どちらか一方のNチャネル型MOSトランジスタでも、該トランジスタがオンした際に、該トランジスタのドレインの電圧がソースの電圧よりも高いのに、該トランジスタの前記してきた最大電圧値に該トランジスタのソースの電圧が到達してしまった場合は、そうでない場合よりも低い値となり、場合によっては、入力端子1002の電圧以下の値、つまり、降圧された値となる場合もある。

【0108】つまり、上記した昇圧回路1001は、昇圧する電圧が低い場合、あるいは、前記したようにV<sub>d</sub>が高く、各Nチャネル型MOSトランジスタの前記最大電圧値が高い場合で、各Nチャネル型MOSトランジスタが、該トランジスタの前記最大電圧値以下の電圧しか供給しなくてよい場合は、効率良く昇圧でき、しかも、どんなに低い電圧からでも昇圧できる特徴を有すが、昇圧する電圧が高い場合、あるいは、前記したようにV<sub>d</sub>が低く、各Nチャネル型MOSトランジスタの前記最大電圧値が低い場合で、どちらか一方のNチャネル型MOSトランジスタでも該Nチャネル型MOSトランジスタの前記最大電圧値より高い電圧を供給しなくてはならなくなつた場合、昇圧効率が悪くなったり、また、昇圧する電圧がさらに高くなつたり、V<sub>d</sub>がさらに低くなつたりした場合、逆に降圧してしまう場合があるという特徴を有する。

【0109】よつて、上記した図10で示す昇圧回路の各Nチャネル型MOSトランジスタは、N型のゲートで構成することで、しきい値電圧を下げても、リーク電流を抑えられる構成とし、しきい値電圧を極力低く(0.2V程度)することで、V<sub>d</sub>が低い場合でも、より高い電圧から昇圧できる構成としている。次に、第4のクロック信号入力端子1007にクロック信号を入力しない場合について説明する。

【0110】上記した第4のクロック信号入力端子1006にクロック信号を入力する場合と異なる点は、コンデンサー1011が平滑コンデンサーとなり、昇圧に寄与しない点のみである。つまり、出力端子1003に出力される昇圧電圧は、前記V<sub>h</sub>分低下するので、入力端子1002の電圧に前記V<sub>h</sub>分をプラスした値となる。

【0111】図11は本発明における図9で示した第3から第7昇圧回路の回路図である。構成は、図10で示す昇圧回路とほとんど同じであり、異なる点は、図10の昇圧回路のNチャネル型MOSトランジスタ1008

を、図11で示すように、ドレインを入力端子1102、ソースとNウェルをコンデンサー1110の第1の電極、ゲートを第2のクロック信号入力端子に接続したPチャネル型MOSトランジスタ1108に置き換える、図10で示す昇圧回路のNチャネル型MOSトランジスタ1009を、図11で示すように、ドレインをコンデンサー1110の第1の電極、ソースとNウェルをコンデンサー1111の第1の電極、ゲートを第1のクロック信号入力端子1104に接続したPチャネル型MOSトランジスタ1109に置き換えた点のみである。

【0112】動作も、各MOSトランジスタがオン、オフするタイミングと、各コンデンサーの第2の電極に入力されるクロック信号のレベルが、V<sub>h</sub>と”ロウ”のタイミングは、図10で示す昇圧回路1001と同じであり、異なる点は、効率よく昇圧できる、電圧の条件である。つまり、図10で示す昇圧回路は、各MOSトランジスタをNチャネル型MOSトランジスタで構成しているため、各Nチャネル型MOSトランジスタが供給する電圧が、該トランジスタの前記最大電圧値以下の場合、効率よく昇圧できるが、図11で示す昇圧回路は、各MOSトランジスタをPチャネル型MOSトランジスタで構成しているため、各Pチャネル型MOSトランジスタが供給する電圧が、該トランジスタの前記最低電圧以上であれば、効率よく昇圧できるという点である。

【0113】つまり、上記した図11で示す昇圧回路は、昇圧する電圧が高い場合で、各Pチャネル型MOSトランジスタが、該トランジスタの前記最低電圧値以上の電圧を供給する場合は、効率良く昇圧でき、しかも、どんなに高い電圧からでも昇圧できる特徴を有するが、昇圧する電圧が低い場合で、どちらか一方のNチャネル型MOSトランジスタでも、該トランジスタの前記最低電圧値未満の電圧を供給する場合は、昇圧効率は低下し、場合によっては、出力端子から全く電圧が出力されないという特徴を有する。

【0114】よって、上記した図11で示す昇圧回路の各Pチャネル型MOSトランジスタは、P型のゲートで構成することで、しきい値電圧の絶対値を下げる、リード電流を抑えられる構成とし、しきい値電圧の絶対値を極力低く(0.2V程度)することで、より低い電圧から昇圧できる構成としている。図12は本発明における図9で示した第8昇圧回路の回路図である。構成は、図11で示す昇圧回路1101とほとんど同じであり、異なる点は、図11で示す昇圧回路1101のコンデンサー1111が無い点のみである。よって、図12で示すように、第4のクロック信号入力端子1207には何も接続していない。

【0115】動作も、図11の昇圧回路1101とほとんど同じで、異なる点は、図11で示すコンデンサー1111が無いので、出力端子1203から出力される昇圧電圧がV<sub>h</sub>分図11の昇圧回路1101の出力端子1

103に出力される昇圧電圧よりも低下する点である。本実施例の図9で示す昇圧回路907は、前段の第1昇圧回路と第2昇圧回路を、上記したような図10で示す昇圧回路で構成し、後段の第3から第7昇圧回路を、上記したような図11で示す昇圧回路で構成し、最後段の第8昇圧回路を、上記したような図12で示す昇圧回路で構成し、第1昇圧回路と第2昇圧回路で、第3から第8昇圧回路が苦手とする低電圧からの昇圧を行い、第3から第8昇圧回路で、第1昇圧回路と第2昇圧回路が苦手とする高電圧からの昇圧を行うようによることで、V<sub>dd</sub>が0.3V以上あり、熱電変換素子の起電圧V<sub>p</sub>が0.05V以上あれば、昇圧可能と言う特徴を有することができた。

【0116】本実施例では、図1に示すように、上記した図9で示す昇圧回路907で、熱電変換素子101の起電圧V<sub>p</sub>の昇圧を行うことで、熱電変換素子101の起電圧V<sub>p</sub>を効率よく昇圧でき、さらに、低い該起電力V<sub>p</sub>(0.05V)からでも昇圧可能な熱電変換素子昇圧システムを実現した。なお、図9で示す本実施例の昇圧回路は、前記した性能の熱電変換素子の起電圧を、時計用ICなどの、1.5V程度で動作するICを駆動できる電圧まで昇圧する設計であるが、異なった性能の熱電変換素子や、他の発電素子の起電圧を昇圧する場合や、コンデンサーヤ2次電池などの蓄電素子の電圧を昇圧する場合などの、昇圧する電圧が異なる場合、あるいは、駆動するICの必要な電圧が異なる場合などの、必要な昇圧電圧値が異なる場合は、前段に配置した図10で示す昇圧回路の個数、あるいは、後段に配置した図11で示す昇圧回路の個数を、増やす、あるいは、減らすといった設計変更を行えばよいことは言うまでもない。

【0117】さらに、今まで述べた、図2、図6、および、図10で示す各昇圧回路の構成の特徴点を組み合わせて構成することでも、目的とする性能を發揮する昇圧回路が実現できることも言うまでもない。図13に、本実施例における図1に示す発振回路103の回路図を示す。先ず、接続状態について説明する。

【0118】熱電変換素子の起電圧V<sub>p</sub>を入力する起電圧入力端子1301は、ディブリーションタイプ(ノーマリーオン型)のNチャネル型MOSトランジスタ1306のゲートに接続し、昇圧電圧V<sub>dd</sub>が入力されるV<sub>dd</sub>入力端子1304は、Nチャネル型MOSトランジスタ1306のドレインと、Pチャネル型MOSトランジスタ1318、1319のソースとNウェルとに接続する。

【0119】ディブリーションタイプのNチャネル型MOSトランジスタ1306のソースは、Pチャネル型MOSトランジスタ1310、1312、1314のソースとNウェルと、インバータ回路1308のPチャネル型MOSトランジスタ1316のソースとNウェルとに接続する。Pチャネル型MOSトランジスタ1310の

ドレインは、Nチャネル型MOSトランジスタ1311のドレインと、コンデンサー1322の第1の電極と、Pチャネル型MOSトランジスタ1312とNチャネル型MOSトランジスタ1313のゲートとに接続する。

【0120】Pチャネル型MOSトランジスタ1312のドレインは、Nチャネル型MOSトランジスタ1313のドレインと、コンデンサー1323の第1の電極と、Pチャネル型MOSトランジスタ1314とNチャネル型MOSトランジスタ1315のゲートとに接続する。Pチャネル型MOSトランジスタ1314のドレインは、Nチャネル型MOSトランジスタ1315のドレインと、Pチャネル型MOSトランジスタ1310とNチャネル型MOSトランジスタ1311のゲートと、Pチャネル型MOSトランジスタ1316とNチャネル型MOSトランジスタ1317のゲートと、Nチャネル型MOSトランジスタ1321のゲートとに接続する。

【0121】Pチャネル型MOSトランジスタ1316のドレインは、Nチャネル型MOSトランジスタ1317のドレインと、Nチャネル型MOSトランジスタ1320のゲートとに接続する。Pチャネル型MOSトランジスタ1318のドレインは、Pチャネル型MOSトランジスタ1319のゲートと、Nチャネル型MOSトランジスタ1320のドレインとに接続する。

【0122】Pチャネル型MOSトランジスタ1319のドレインは、Pチャネル型MOSトランジスタ1318のゲートと、Nチャネル型MOSトランジスタ1321のドレインと、クロック信号P1を出力するクロック信号出力端子1302とに接続する。Nチャネル型MOSトランジスタ1311, 1313, 1315, 1317, 1320, 1321のソースと、コンデンサー1322, 1323の第2の電極は、GND端子に接続する。

【0123】なお、点線で囲った1307は、リングオシレータ回路、1308はインバータ回路、1309はレベルシフト回路の部分を示す。また、上記したGND端子に接続するということは、熱電変換素子の低電位側の電極と接続するGND電位入力端子1305と接続することを意味する。

【0124】次に、各部の動作を説明する。ディブリーションタイプのNチャネル型MOSトランジスタ1306は、Vdd入力端子1304から入力したVddの電圧をレギュレートする。該トランジスタのレギュレート電圧は、該トランジスタのしきい値電圧の絶対値に、該トランジスタのゲートの電圧つまり、熱電変換素子の起電圧Vpをプラスした値になる。つまり、該トランジスタのレギュレート電圧は、熱電変換素子の起電圧Vpが上昇すれば、上昇し、前記Vpが低下すれば、低下する。

【0125】リングオシレータ回路1307は、クロック信号を発生する。該クロック信号の周波数は、リング

オシレータ回路1307の電源電圧、つまり、前記レギュレート電圧が上昇すれば、上昇し、低下すれば、低下する。よって、熱電変換素子の起電圧Vpが上昇すれば、該クロック信号の周波数は上昇し、該Vpが低下すれば、該クロック信号の周波数は低下する。

【0126】インバータ回路1308は、前記クロック信号を入力し、前記クロック信号の位相を反転させたクロック信号を出力する。レベルシフト回路1309は、リングオシレータ回路1307からのクロック信号と、インバータ回路1308からのクロック信号を入力し、インバータ回路1308からのクロック信号の波高値を、昇圧電圧Vddに変換したクロック信号を、クロック信号出力端子1302に出力する。

【0127】つまり、図13で示す上記したような構成とする事で、熱電変換素子の起電圧Vpに応じて、出力するクロック信号の周波数が可変できる発振回路が実現できる。さらに、図13で示す本実施例の発振回路は、ディブリーションタイプのNチャネル型MOSトランジスタ1306以外の各MOSトランジスタを、しきい値電圧の絶対値を下げても、リーク電流を抑えられるように、Pチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタなら、N型のゲートで構成することで、各MOSトランジスタのしきい値電圧の絶対値を極力低く(0.2V程度)し、昇圧電圧Vdd、あるいは、熱電変換素子の起電圧Vpが低い電圧(0.3V程度)でもクロック信号が出力できる特徴を持たせている。

【0128】図14は、図1で示す間欠パルス発生回路104の回路図である。先ず、接続状態を説明する。発振回路からのクロック信号P1を入力するクロック信号入力端子1401は、インバータ回路1405, 1407の入力端子に接続し、インバータ回路1405の出力端子は、第2の電極がGND端子に接続したコンデンサー1408の第1の電極と、インバータ回路1406の入力端子に接続し、インバータ回路1406の出力端子は、2入力NAND回路1409の第1の入力端子に接続し、インバータ回路1407の出力端子は、2入力NAND回路1409の第2の入力端子に接続し、2入力NAND回路1409の出力端子は、インバータ回路1410の入力端子に接続し、インバータ回路1410の出力端子は、間欠パルスP2を出力する間欠パルス出力端子1402に接続する。

【0129】なお、各インバータ回路と2入力NAND回路は、該回路の電源端子は、昇圧電圧Vddが入力されるVdd入力端子1403に接続し、該回路のGND端子は、熱電変換素子の低電圧側の電極と接続するGND電位入力端子1404と接続する。次に、動作を説明する。クロック信号入力端子1401から入力されたクロック信号P1は、インバータ回路1405とインバータ回路1406を介して2入力NAND回路1409の

第1の入力端子に入力する。この2入力NAND回路1409の第1の入力端子に入力するクロック信号は、前記クロック信号P1より、コンデンサー1408を充放電する時間分位相が遅れる。

【0130】一方、インバータ回路1407を介して2入力NAND回路1409の第2の入力端子に入力するクロック信号は、前記クロック信号P1とは位相が反転している。2入力NAND回路1409は、該NAND回路の入力端子に、上記したようなクロック信号を入力するので、該NAND回路の出力端子は、該NAND回路の第2の入力端子が“ロウ”から“ハイ”になったときから、コンデンサー1408を充電する時間分遅れて、該2入力NAND回路の第1の入力端子が“ハイ”から“ロウ”になるまでの時間、つまり、コンデンサー1408を充電する時間のみ、“ロウ”となるクロック信号を出力する。

【0131】インバータ回路1401は、上記した2入力NAND回路1409の出力するクロック信号の位相を反転し、間欠パルス信号出力端子1402に出力する。間欠パルス信号出力端子1402からは、上記したインバータ回路1410の出力するクロック信号を、間欠パルス信号P2として出力する。なお、間欠パルス信号P2の“ハイ”的期間は、インバータ回路1405の駆動能力、あるいは、コンデンサー1408の容量値を変えることにより可変できることは言うまでもない。

【0132】さらに、図14で示す本実施例の間欠パルス発生回路104は、各回路を構成する各MOSトランジスタを、しきい値電圧の絶対値を下げても、リーク電流を抑えられるように、Pチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタなら、N型のゲートで構成することで、各MOSトランジスタのしきい値電圧の絶対値を極力低く(0.2V程度)し、昇圧電圧Vddが低い電圧でも間欠パルス信号が出力できる特徴を持たせている。

【0133】図15に、本実施例における図1に示す電圧検出回路105の回路図を示す。先ず、接続状態について説明する、熱電変換素子の起電圧Vpを入力する起電圧入力端子1501は、抵抗Ra1501の第1の電極と、Nチャネル型MOSトランジスタ1524のゲートとに接続する。抵抗Raの第2の電極は、抵抗Rbの第1の電極と、Nチャネル型MOSトランジスタ1526のゲートとに接続する。

【0134】抵抗Rbの第2の電極は、抵抗Rcの第1の電極と、Nチャネル型MOSトランジスタ1528のゲートとに接続し、抵抗Rcの第2の電極は、Nチャネル型MOSトランジスタ1514のドレインに接続する。間欠パルス信号P2を入力する間欠パルス信号入力端子1502は、Nチャネル型MOSトランジスタ1514のゲートと、インバータ回路1515の入力端子とに接続する。

【0135】インバータ回路1515の出力端子は、Pチャネル型MOSトランジスタ1516のゲートと、Nチャネル型MOSトランジスタ1517のゲートとに接続する。ディブリーションタイプ(ノーマリーオン型)のNチャネル型MOSトランジスタ1518は、該トランジスタのドレインは、Pチャネル型MOSトランジスタ1516のドレインに接続し、該トランジスタのゲートは、該トランジスタのソースと、Nチャネル型MOSトランジスタ1519のドレインとゲートと、Nチャネル型MOSトランジスタ1517のドレインと、Pチャネル型MOSトランジスタ1521とNチャネル型MOSトランジスタ1522のゲートとに接続する。

【0136】Pチャネル型MOSトランジスタ1520のゲートは、該トランジスタのドレインと、Pチャネル型MOSトランジスタ1523, 1525, 1527のゲートと、Nチャネル型MOSトランジスタ1521のドレインとに接続する。Nチャネル型MOSトランジスタ1521のソースは、Nチャネル型MOSトランジスタ1522のドレインと、Nチャネル型MOSトランジスタ1524, 1526, 1528のソースとに接続する。

【0137】Pチャネル型MOSトランジスタ1523のドレインは、Nチャネル型MOSトランジスタ1524のドレインと、第3の検出信号P33を出力する第3の出力端子1503とに接続する。Pチャネル型MOSトランジスタ1525のドレインは、Nチャネル型MOSトランジスタ1526のドレインと、第2の検出信号P32を出力する第2の出力端子1504とに接続する。

【0138】Pチャネル型MOSトランジスタ1527のドレインは、Nチャネル型MOSトランジスタ1528のドレインと、第1の検出信号P31を出力する第1の出力端子1505とに接続する。昇圧電圧Vddを入力するVdd入力端子1506は、Pチャネル型MOSトランジスタ1516, 1520, 1523, 1525, 1527のソースとNウェルと、インバータ回路1515の電源とに接続する。

【0139】Nチャネル型MOSトランジスタ1514, 1517, 1519, 1522のソースは、GND端子と接続される。なお、図15に示す点線で囲んだ部分は、1508が分圧抵抗部、1504が基準電圧発生回路部、1510がコンバレータ回路部である。また、上記したGND端子に接続するということは、熱電変換素子の低電位側の電極と接続するGND電位入力端子1507に接続するという意味である。

【0140】次に、各部の動作を説明する。分圧抵抗部1508は、熱電変換素子の起電圧Vpの分圧電圧を出力する。分圧電圧は、抵抗Ra1511と、抵抗Rb1512と抵抗Rc1514とを直列接続した抵抗とで分圧する第1の分圧電圧と、抵抗Ra1511と抵抗Rb

1512とを直列接続した抵抗と、抵抗Rc1514とで分圧する第2の分圧電圧の2種類の分圧電圧を、前記第1の分圧電圧は抵抗Rb1512の第1の電極、前記第2の分圧電圧は抵抗Rcの第1の電極からそれぞれ出力する。さらに、ゲートに間欠パルス信号P2を入力したNチャネル型MOSトランジスタ1514で、間欠パルス信号P2が”ハイ”の期間だけ、分圧電圧を出力し、間欠パルス信号P2が”ロウ”の時は、各抵抗を流れる電流をカットし、分圧電圧を発生しないようにすることで、間欠動作し低消費電流化を図っている。

【0141】基準電圧発生回路部1509は、基準電圧を出力する。該基準電圧は、Nチャネル型MOSトランジスタ1519のドレンから出力する。さらに、間欠パルス信号P2をインバータ回路1509を介してゲートに入力したPチャネル型MOSトランジスタ1516とNチャネル型MOSトランジスタ1517で、間欠パルス信号P2が”ハイ”の期間だけ、基準電圧を出力し、間欠パルス信号P2が”ロウ”の期間は、Pチャネル型MOSトランジスタ1516をオフすることでVddから電流をカットし、Nチャネル型MOSトランジスタ1517をオンし、基準電圧ではなくGND電位を出力するようによることで、間欠動作し低消費電流化を図っている。

【0142】コンパレータ回路部1510は、カレントミラータイプのコンパレート方式を用いたコンパレータ回路で、Nチャネル型MOSトランジスタ1521のゲートに入力する前記基準電圧と、Nチャネル型MOSトランジスタ1524のゲートに入力する熱電変換素子の起電圧Vpを比較し、前記基準電圧よりも前記Vpの電圧の方が低い場合は”ハイ”、前記基準電圧よりも前記Vpの電圧の方が高い場合は”ロウ”的信号を第3の検出信号P33として第3の出力端子1503から出力するという動作と、前記基準電圧と、Nチャネル型MOSトランジスタ1526のゲートに入力する分圧抵抗部1508からの前記第1の分圧電圧を比較し、前記基準電圧よりも前記第1の分圧電圧が低い場合は”ハイ”、前記基準電圧よりも前記第1の分圧電圧が高い場合は”ロウ”的信号を第2の検出信号P2として第2の出力端子1504から出力するという動作と、前記基準電圧と、Nチャネル型MOSトランジスタ1528のゲートに入力する分圧抵抗部1508からの前記第2の分圧電圧を比較し、前記基準電圧よりも前記第2の分圧電圧が低い場合は”ハイ”、前記基準電圧よりも前記第1の分圧電圧が高い場合は”ロウ”的信号を第1の検出信号P31として第1の出力端子1505から出力するという動作を行う。

【0143】さらに、コンパレータ回路部1510は、ゲートに前記基準電圧を入力するNチャネル型MOSトランジスタ1522で、前記基準電圧が出力している時、つまり、前記間欠パルス信号P2が”ハイ”的時

は、GND端子へ電流が流れるようにする事で、検出動作するようにし、前記基準電圧が出力せず、GND電位が出力している時、つまり、前記間欠パルス信号が”ロウ”的時は、GND端子への電流をカットすることで、検出動作しないようにしている。つまり、間欠的に検出動作する事で、低消費電流化を図っている。

【0144】なお、上記第1の分圧電圧は、熱電変換素子の起電圧Vpが0.8Vの時0.4V、上記第2の分圧電圧は、熱電変換素子の起電圧Vpが1.6Vの時0.4Vになるように設計し、前記基準電圧は、0.4Vになるように設計している。つまり、前記第3の検出電圧P33は、熱電変換素子の起電圧Vpが0.4V以上なら”ロウ”、前記Vpが0.4V未満なら”ハイ”となり、前記第2の検出信号P2は、前記Vpが0.8V以上なら”ロウ”、前記Vpが0.8V未満なら”ハイ”となり、前記第1の検出信号P31は、前記Vpが1.6V以上なら”ロウ”、前記Vpが1.6V未満なら”ハイ”となる。

【0145】さらに、図15で示す本実施例の電圧検出回路105は、各回路を構成する各MOSトランジスタを、しきい値電圧の絶対値を下げても、リーク電流を抑えられるように、Pチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタなら、N型のゲートで構成することで、各MOSトランジスタのしきい値電圧の絶対値を極力低く(0.2V程度)し、昇圧電圧Vddあるいは、熱電変換素子の起電圧Vpが低い電圧でも、各検出信号が出力できる特徴を持たせている。

【0146】つまり、本実施例の図1で示す電圧検出回路105を、図15で示すような構成とすることで、間欠パルス信号P2で、間欠動作することで、消費電流の少ない電圧検出回路が実現できる。図16に、本実施例における図1に示す信号記憶回路106の回路図を示す。先ず、接続状態について説明する、電圧検出回路から出力する第1の検出信号P31を入力する第1の入力端子1601は、第1記憶回路1610の信号入力端子に接続し、電圧検出回路から出力する第2の検出信号P32を入力する第2の入力端子1602は、第2記憶回路1611の信号入力端子に接続し、電圧検出回路から出力する第3の検出信号P33を入力する第3の入力端子1603は、第3記憶回路1612の信号入力端子に接続する。

【0147】間欠パルス発生回路から出力する間欠パルス信号P2を入力する間欠パルス信号入力端子1604は、第1記憶回路1610と第2記憶回路1611と第3記憶回路1612のそれぞれの第1の間欠パルス信号入力端子と、インバータ回路1613の入力端子に接続し、インバータ回路1613の出力端子は、第1記憶回路1610と第2記憶回路1611と第3記憶回路1612のそれぞれの第2の間欠パルス信号入力端子に接続

する。

【0148】昇圧電圧Vddを入力するVdd入力端子1608は、第1記憶回路1610と第2記憶回路1611と第3記憶回路1612のそれぞれのVdd入力端子に接続し、熱電変換素子の低電位側の電極と接続するGND電位入力端子1609は、第1記憶回路1610と第2記憶回路1611と第3記憶回路1612のそれぞれのGND電位入力端子に接続する。

【0149】第1記憶回路1610の出力端子は、第1の記憶信号P41を出力する第1の出力端子1605に接続し、第2記憶回路1611の出力端子は、第2の記憶信号P42を出力する第2の出力端子1606に接続し、第3記憶回路1612の出力端子は、第3の記憶信号P43を出力する第3の出力端子1607に接続する。

【0150】また、インバータ回路1613の電源端子は、昇圧電圧Vddを入力するVdd入力端子1608に接続し、インバータ回路1613のGND端子は、熱電変換素子の低電位側の電極と接続するGND電位入力端子1609に接続する。次に動作を説明する。先ず、間欠パルス信号P2が“ハイ”的期間は、各記憶回路の第1の間欠パルス信号入力端子は“ハイ”となり、各記憶回路の第2の間欠パルス信号入力端子は“ロウ”となるので、第1記憶回路1610は、第1の検出信号P31と同じ信号を第1の出力端子1605に出力し、第2記憶回路1611は、第2の検出信号P32と同じ信号を第2の出力端子1606に出力し、第3記憶回路1612は、第3の検出信号P33と同じ信号を第3の出力端子1607に出力する。

【0151】次に、間欠パルス信号P2が“ハイ”に次いで“ロウ”になる期間は、各記憶回路の第1の間欠パルス信号入力端子は“ロウ”となり、各記憶回路の第2の間欠パルス信号入力端子は“ハイ”となるので、第1記憶回路1610は、間欠パルス信号P2が“ハイ”から“ロウ”になるときの第1の検出信号P31の電圧を記憶し、記憶した第1の検出信号P31の電圧を第1の出力端子1605に出力しつづけ、第2記憶回路1611は、間欠パルス信号P2が“ハイ”から“ロウ”になるときの第2の検出信号P32の電圧を記憶し、記憶した第2の検出信号P32の電圧を第2の出力端子1606に出力しつづけ、第3記憶回路1612は、間欠パルス信号P2が“ハイ”から“ロウ”になるときの第3の検出信号P33の電圧を記憶し、記憶した第3の検出信号P33の電圧を第3の出力端子1607に出力しつづける。

【0152】つまり、図1で示す信号記憶回路106を図16で示す構成とすることで、間欠動作する電圧検出回路が動作している期間、つまり、間欠パルス信号が“ハイ”的期間は、電圧検出回路105の検出信号をそのまま記憶信号として出力し、電圧検出回路が動作してい

ない期間、つまり、間欠パルス信号が“ロウ”的期間は、該期間の前の電圧検出回路が動作している期間の検出信号を記憶し、記憶した検出信号を記憶信号として出力する信号記憶回路が実現できる。

【0153】図17に、図16で示す第1記憶回路1610と第2記憶回路1611と第3記憶回路1612の回路図を示す。先ず、接続状態を説明する。検出信号を入力する検出信号入力端子1702は、Pチャネル型MOSトランジスタ1708のソースとNチャネル型MOSトランジスタ1709のドレインとに接続する。間欠パルス信号P2が入力される第1の間欠パルス信号入力端子1703は、Nチャネル型MOSトランジスタ1709のゲートとPチャネル型MOSトランジスタ1711のゲートとに接続する。

【0154】間欠パルス信号P2と位相が反転した信号が入力される第2の間欠パルス信号入力端子1704は、Pチャネル型MOSトランジスタ1708のゲートとNチャネル型MOSトランジスタ1711のゲートとに接続する。Pチャネル型MOSトランジスタ1708のドレインは、Nチャネル型MOSトランジスタ1709のソースと、Pチャネル型MOSトランジスタ1710のソースと、Nチャネル型MOSトランジスタ1711のソースと、インバータ回路1712の入力端子とに接続し、インバータ回路1712の出力端子は、インバータ回路1713の入力端子に接続する。

【0155】インバータ回路1713の出力端子は、Pチャネル型MOSトランジスタ1710のドレインと、Nチャネル型MOSトランジスタ1711のソースと、記憶信号を出力する記憶信号出力端子1705とに接続する。なお、昇圧電圧Vddを入力するVdd入力端子1706は、Pチャネル型MOSトランジスタ1708、1710のNウェルと、インバータ回路1712、1713の電源端子とに接続し、熱電変換素子の低電位側の電極と接続するGND電位入力端子1707は、インバータ回路1712、1713のGND端子に接続する。

【0156】次に、動作を説明する。先ず、間欠パルス信号P2が“ハイ”的時、第1の間欠パルス信号入力端子1703は“ハイ”、第2の間欠パルス信号入力端子1704は“ロウ”となるので、Pチャネル型MOSトランジスタ1708とNチャネル型MOSトランジスタがオンし、Pチャネル型MOSトランジスタ1710とNチャネル型MOSトランジスタ1711がオフし、インバータ回路1712の入力端子には、検出信号入力端子1702から入力した検出信号が入力されるので、記憶信号出力端子1705からは、該検出信号がそのまま出力される。

【0157】次に、間欠パルス信号P2が、前記した“ハイ”的状態から“ロウ”になったとき、第1の間欠パルス信号入力端子1703は“ロウ”、第2の間欠パル

ス信号入力端子1704は"ハイ"となるので、Pチャネル型MOSトランジスタ1708とNチャネル型MOSトランジスタがオフし、Pチャネル型MOSトランジスタ1710とNチャネル型MOSトランジスタ1711がオンし、インバータ回路1712の入力端子には、検出信号入力端子1702から入力した検出信号が入力されず、前記した間欠パルス信号が"ハイ"の時の最後の検出信号が入力されたままとなるので、記憶信号出力端子1705からは、間欠パルス信号が"ハイ"の時の最後の検出信号が output され続ける。

【0158】つまり、図17で示すような構成とすることで、間欠パルス信号が"ハイ"の時、つまり、電圧検出回路が動作し、検出信号を出力している時は、そのまま該検出信号を記憶信号として出力し、前記した間欠パルス信号"ハイ"の状態から"ロウ"になった時、つまり、電圧検出回路が停止し、検出信号が output されなくなった時は、前記した間欠パルス信号が"ハイ"の時の最後の検出信号を記憶し、次の間欠パルス信号が"ハイ"となるときまで、該記憶した検出信号を出力し続ける記憶回路が実現できる。

【0159】上記したように、本実施例では、図1で示す信号記憶回路106を、図17で示すような構成の記憶回路を用いて、図16で示すような構成とする事で、図1で示す間欠動作する電圧検出回路105が、動作している時は、該電圧検出回路の検出信号をそのまま記憶信号として出力し、該電圧検出回路が、停止しているときは、該電圧検出回路が停止する前、つまり、動作している時の検出信号を記憶し、次に該電圧検出回路が動作するまで、その記憶した検出信号を出力する信号記憶回路が実現できる。

【0160】さらに、本実施例の前記信号記憶回路は、該信号記憶回路を構成する各MOSトランジスタを、しきい値電圧の絶対値を下げても、リーク電流を抑えられるように、Pチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタなら、N型のゲートで構成することで、各MOSトランジスタのしきい値電圧の絶対値を極力低く(0.2V程度)し、昇圧電圧Vdd、あるいは、熱電変換素子の起電圧Vpが低い電圧でも、記憶信号が出力できる特徴を持たせている。

#### 【0161】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を有する。Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタを適材適所に設置し、MOSトランジスタでコンデンサーを充放電し昇圧させることで、昇圧効率が良く、低電圧からの昇圧が可能な昇圧回路が実現できる。

【0162】そして、該MOSトランジスタをPチャネル型MOSトランジスタならP型のゲート、Nチャネル型MOSトランジスタならN型のゲートとしたMOSト

ランジスタとする事で、各MOSトランジスタしきい値電圧の絶対値を下げるができるので、さらに低電圧からの昇圧が可能な昇圧回路が実現できる。また、外部エネルギーにより発電する電源、例えば熱電変換素子の起電圧に応じて出力するクロック信号の周波数を可変できる発振回路を設け、該発振回路の出力するクロック信号で昇圧回路が熱電変換素子の起電圧を昇圧する構成とすることで、熱電変換素子の起電力を無駄無く昇圧電力に変換することができる昇圧システムが実現できる。

【0163】さらに、該熱電変換素子の起電圧を検出し、該起電圧に応じた検出信号を出力する電圧検出回路を設け、該電圧検出回路の出力する検出信号で、昇圧回路の昇圧倍数を可変するような構成とすることで、熱電変換素子の起電圧が変動しても、熱電変換素子の起電力を効率良く昇圧電力に変換することができる昇圧システムが実現できる。

【0164】そして、さらに、発振回路からのクロック信号から間欠パルスを作り出す間欠パルス発生回路を設け、前記電圧検出回路を該間欠パルス信号で間欠動作させ、前記電圧検出回路が動作している期間は、該電圧検出回路が output する前記検出信号を、記憶信号として昇圧回路へ出力し、前記電圧検出回路が動作していない期間は、前の該電圧検出回路が動作していた時の最終の検出信号を記憶し、次に該電圧検出回路が動作するまでの間、前記記憶した検出信号を、記憶信号として昇圧回路へ出力する信号記憶回路を設け、昇圧回路は、該信号記憶回路から出力する記憶信号に応じて昇圧倍数を可変する構成とすることで、前記電圧検出回路で消費される電流が少くなり、効率の良い昇圧システムが実現できる。

#### 【図面の簡単な説明】

【図1】昇圧システムの実施例を示すブロック図である。

【図2】昇圧回路の実施例を示す回路図である。

【図3】昇圧回路の回路図である。

【図4】昇圧回路の回路図である。

【図5】昇圧回路の回路図である。

【図6】昇圧回路の実施例の回路図である。

【図7】昇圧回路の実施例を示す回路図である。

【図8】昇圧回路の実施例を示す回路図である。

【図9】昇圧回路の実施例の回路図である。

【図10】昇圧回路の実施例を示す回路図である。

【図11】昇圧回路の実施例を示す回路図である。

【図12】昇圧回路の実施例を示す回路図である。

【図13】発振回路の実施例を示す回路図である。

【図14】間欠パルス発生回路の実施例を示す回路図である。

【図15】電圧検出回路の実施例を示す回路図である。

【図16】信号記憶回路の実施例を示す回路図である。

【図17】信号記憶回路の実施例を示す回路図である。

37

【図18】従来の昇圧システムを示すブロック図である。

【図19】従来の昇圧システムの昇圧回路を示す回路図である。

## 【符号の説明】

- 1 0 1 热電変換素子
  - 1 0 3 発振回路
  - 1 0 4 間欠パルス発生回路
  - 1 0 5 信号記憶回路

\* 107 昇圧回路

P 1 クロック信号

P 2 間欠バル

P 3 檢出信号

P 4 記憶信

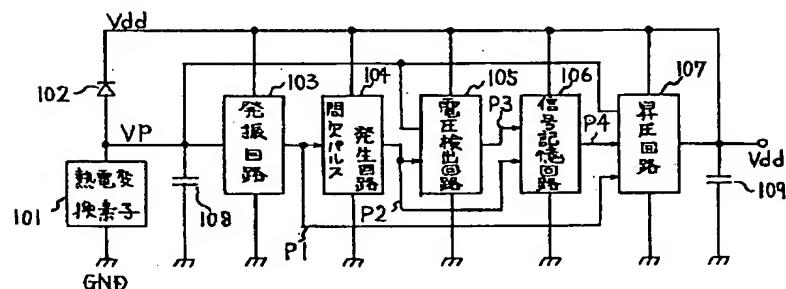
V P 起電圧

Vdd 昇圧電圧

GND GND端子

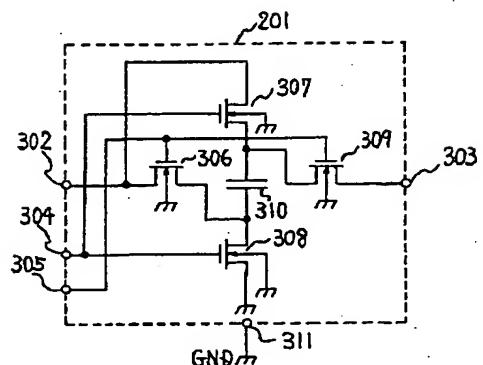
38

【図 1】

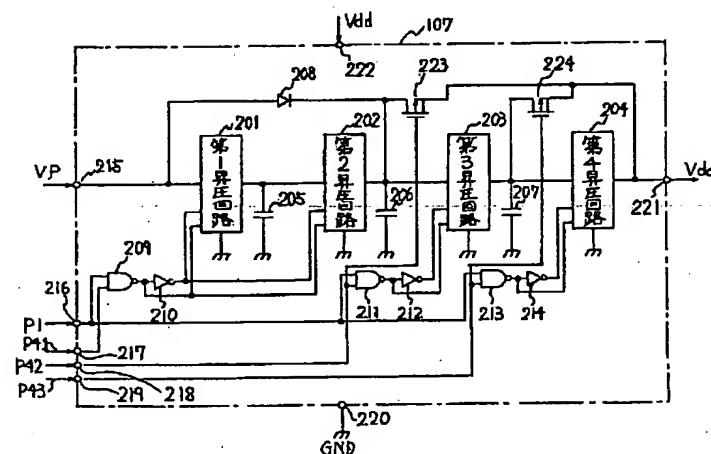


[図2]

〔図3〕

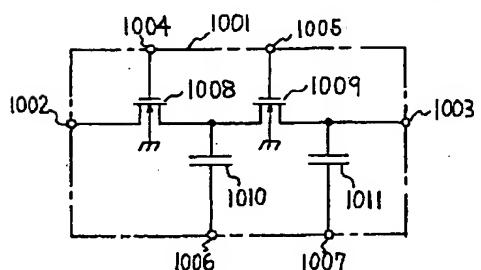


[図4]



[図 10]

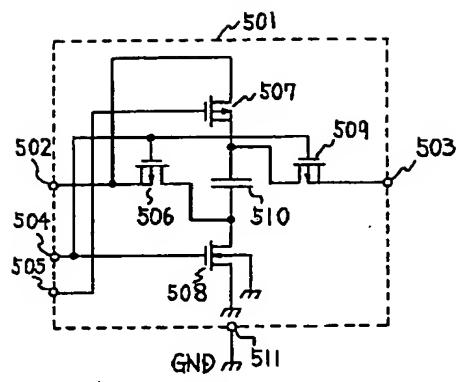
【图 11】



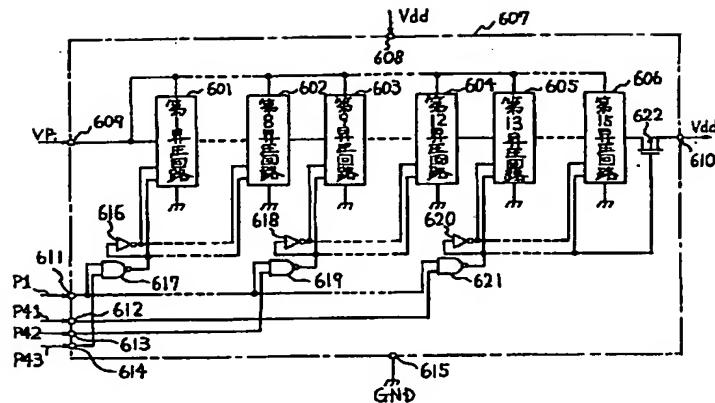
The diagram shows a logic circuit with the following components and connections:

- Inputs:** 1102, 1104, 1108, 1109.
- Outputs:** 1101, 1105, 1106, 1107, 1108, 1109, 1110, 1111, 1103.
- Logic Structure:**
  - Input 1102 is connected to one input of a cross-coupled inverter pair (1108 and 1109).
  - Input 1104 is connected to one input of a cross-coupled inverter pair (1101 and 1105).
  - Inputs 1108 and 1109 are connected to the other input of the 1101/1105 inverter pair.
  - Inputs 1101 and 1105 are connected to the other input of the 1108/1109 inverter pair.
  - Outputs 1108 and 1109 are connected to the inputs of a second cross-coupled inverter pair (1110 and 1111).
  - Outputs 1110 and 1111 are connected to the inputs of a third cross-coupled inverter pair (1106 and 1107).
  - Outputs 1106 and 1107 are connected to the inputs of a fourth cross-coupled inverter pair (1103 and 1105).
  - Outputs 1103 and 1105 are connected to the inputs of a fifth cross-coupled inverter pair (1101 and 1105).
  - Outputs 1101 and 1105 are connected to the inputs of a sixth cross-coupled inverter pair (1108 and 1109).
  - Outputs 1108 and 1109 are connected to the inputs of a seventh cross-coupled inverter pair (1101 and 1105).
  - Outputs 1101 and 1105 are connected to the inputs of a eighth cross-coupled inverter pair (1108 and 1109).

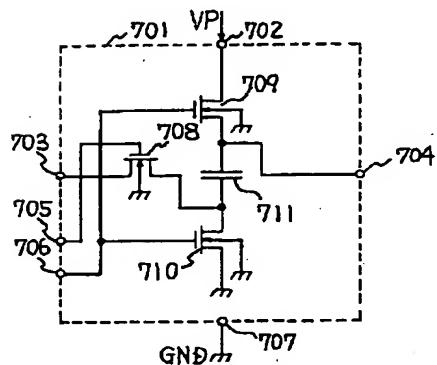
【図5】



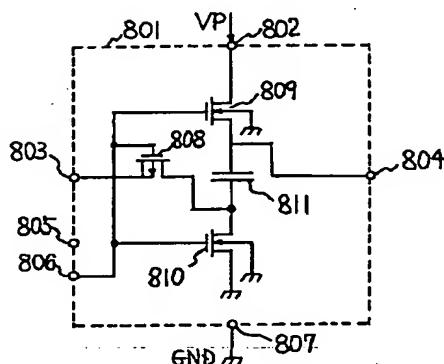
【図6】



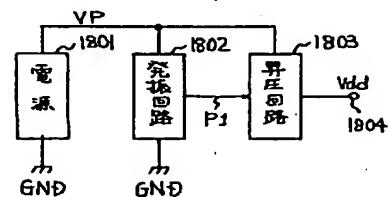
【図7】



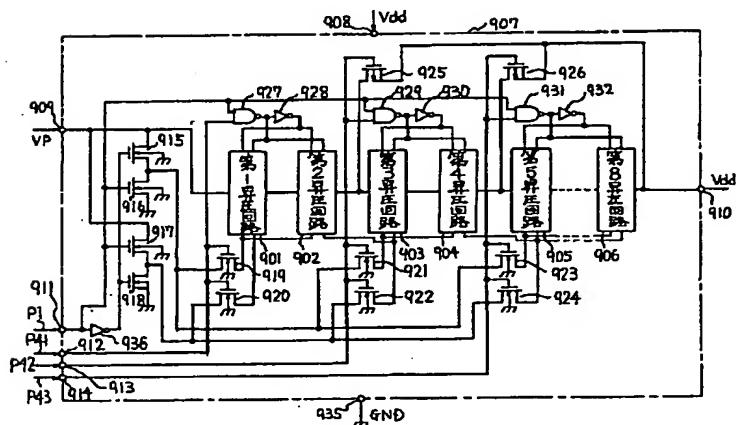
【図8】



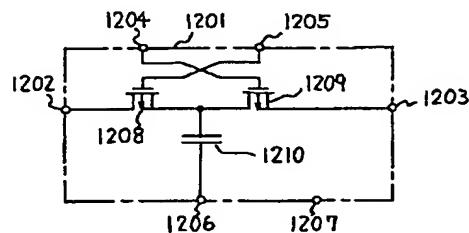
【図18】



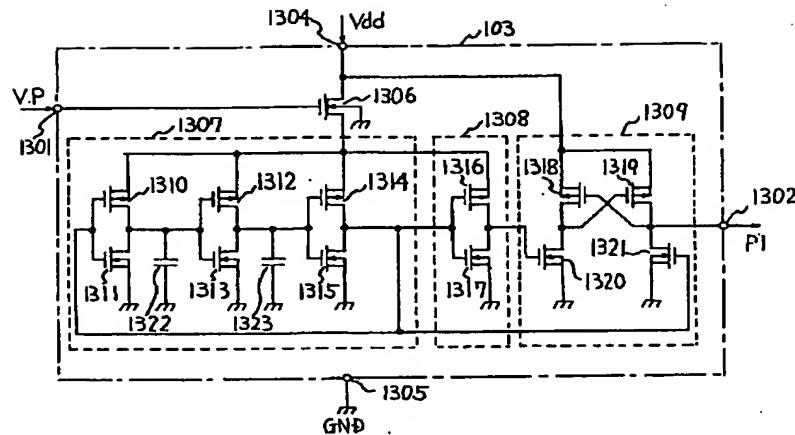
【図9】



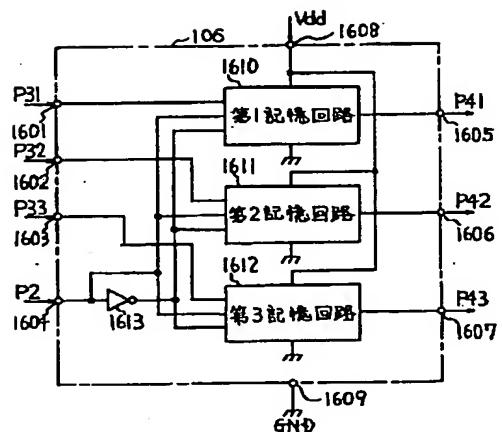
【図12】



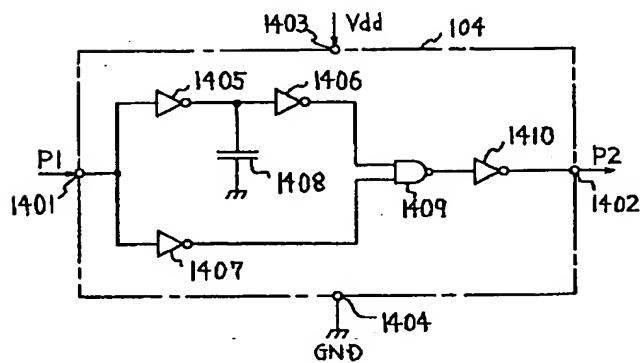
【図13】



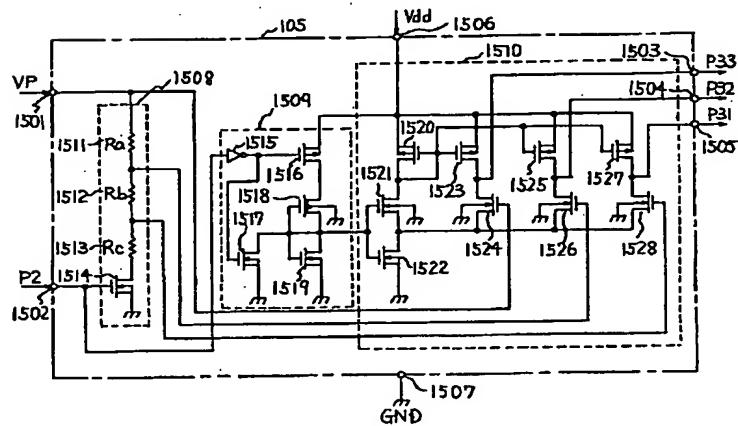
【図16】



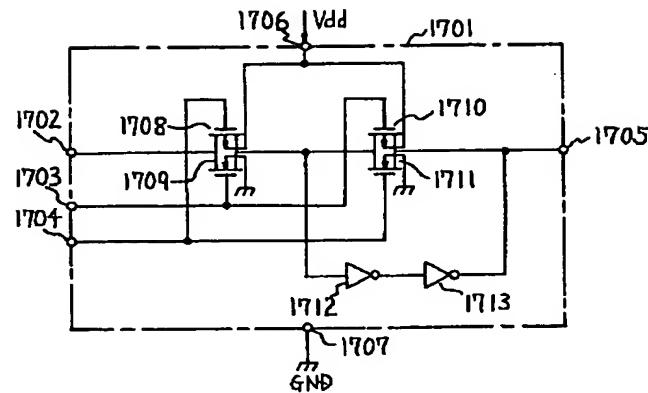
【図14】



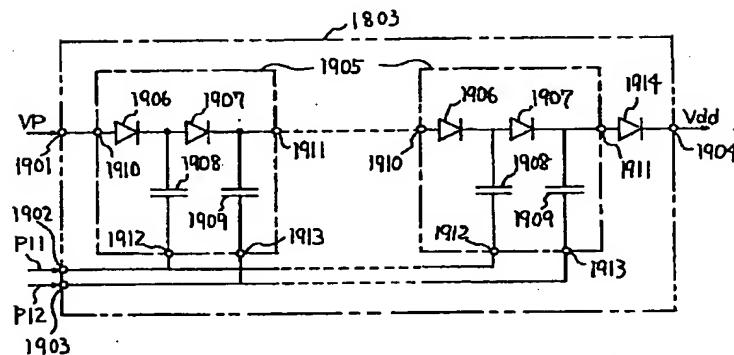
【図15】



【図17】



【図19】



フロントページの続き

(72)発明者 森内 美和  
千葉県千葉市美浜区中瀬1丁目8番地 七  
イコーインスツルメンツ株式会社内